

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224437

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.	H03F 3/34
	G09G 3/20
	G09G 3/30
	H03K 17/30
	H03K 17/693

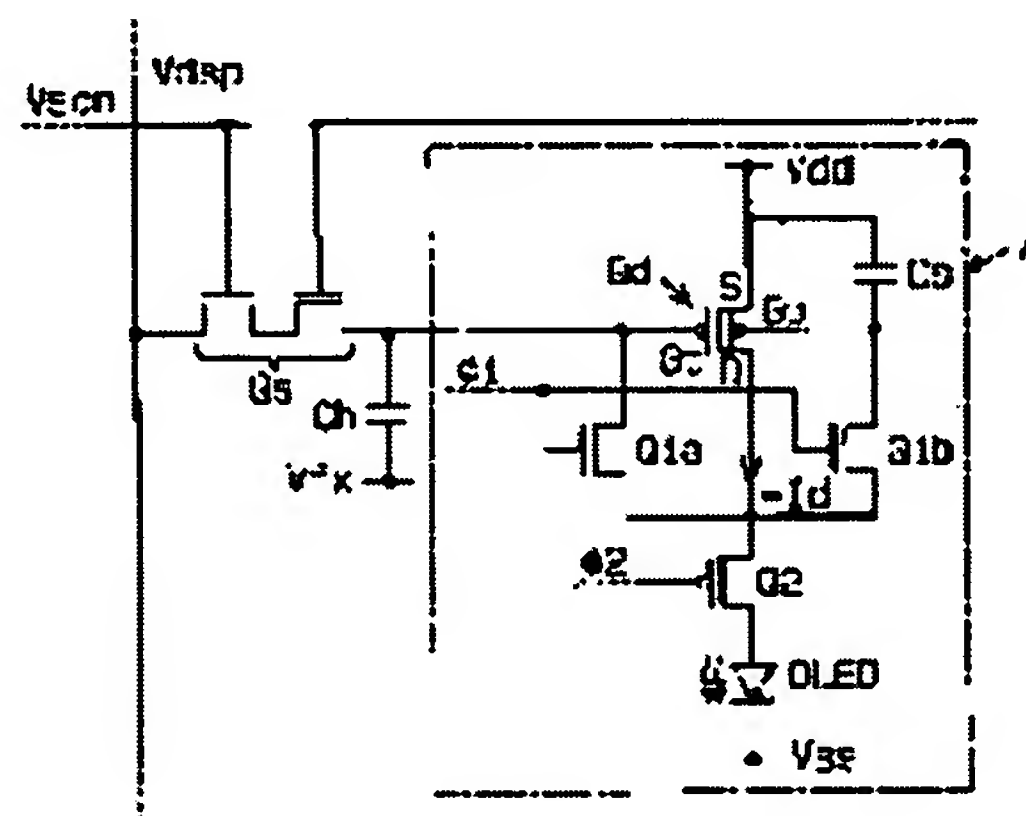
(21)Application number : 2002-021844 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 30.01.2002 (72)Inventor : SANO KEIICHI

(54) CURRENT DRIVE CIRCUIT AND DISPLAY DEVICE EQUIPPED WITH THE CURRENT DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current drive circuit, which can suppress fluctuation effect of threshold voltage in a drive transistor, and a display device equipped with the current drive circuit.

SOLUTION: A current drive circuit for driving an OLED (organic light-emitting device) is provided for each pixel of a display device, which employs the OLED as a light emitter. A display signal V_{dsp} is inputted to a drive transistor Q_d via a pixel switch transistor Q_s . The drive transistor Q_d is formed by a thin film transistor, and a gate electrode is provided at upper/lower layers of a semiconductor layer, and both of gate electrodes comprises a structure of a shared channel region. Upon driving the OLED, threshold voltage ' V_{th} ' is accumulated and maintained beforehand at a compensation capacitor C_s using switching elements for shorting Q_{1a} and Q_{1b} and a switching element for shutdown Q_2 , and under this condition the display signal V_{dsp} is inputted to the drive transistor Q_d .



THIS PAGE BLANK (USPTO)

LEGAL STATUS

[Date of request for examination] 07.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2003-224437
(P2003-224437A)

(43)公開日 平成15年8月8日(2003.8.8)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 3 F 3/34		H 0 3 F 3/34	C 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H 5 J 0 5 5
	6 2 4		6 2 4 B 5 J 0 9 1
	6 4 1		6 4 1 D 5 J 5 0 0
3/30		3/30	J
審査請求 未請求 請求項の数20 O L (全 18 頁) 最終頁に続く			

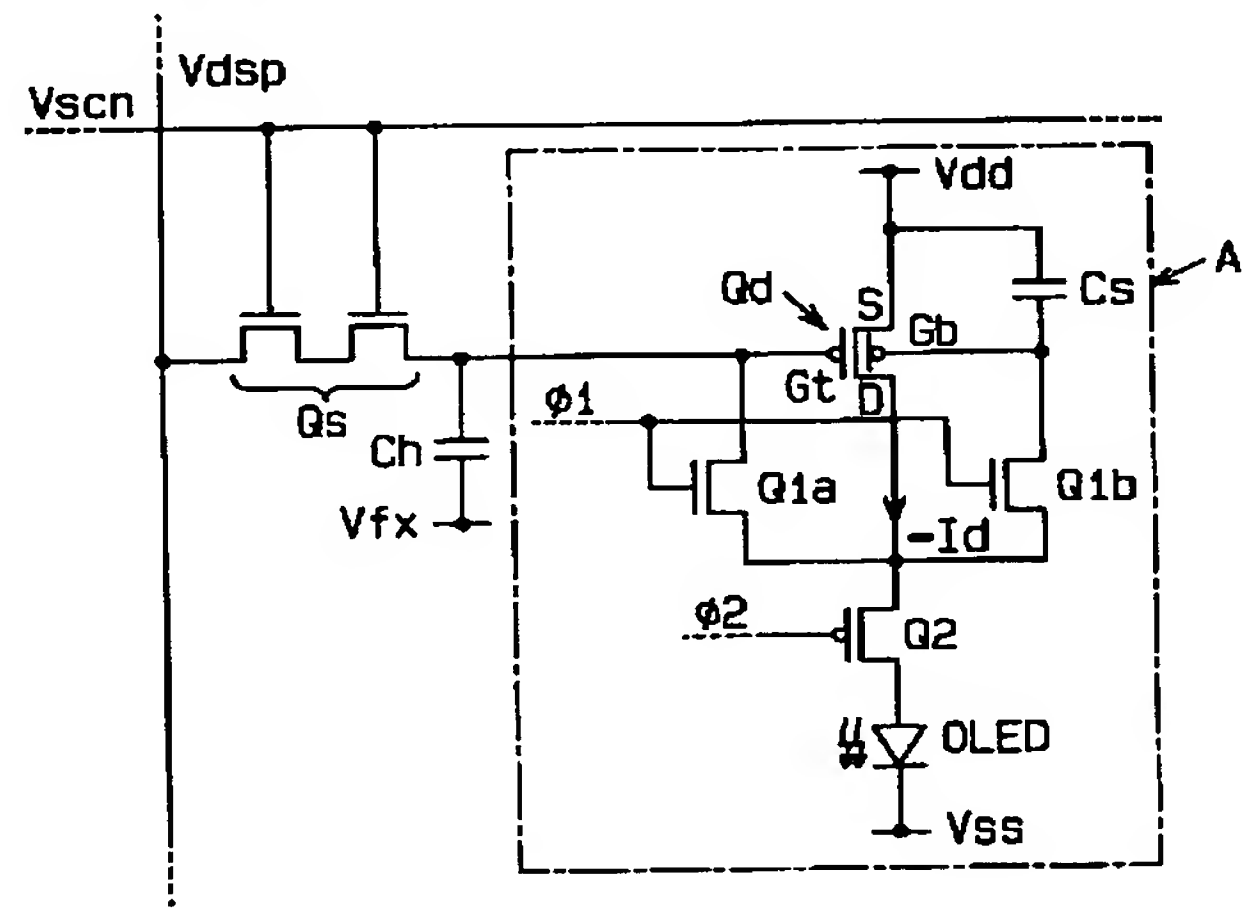
(21)出願番号	特願2002-21844(P2002-21844)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成14年1月30日(2002.1.30)	(72)発明者	佐野 景一 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(74)代理人	100111383 弁理士 芝野 正雅
		最終頁に続く	

(54)【発明の名称】 電流駆動回路および該電流駆動回路を備えた表示装置

(57)【要約】

【課題】 駆動用トランジスタにおけるしきい値電圧のばらつきの影響を抑制することのできる電流駆動回路および該電流駆動回路を備えた表示装置を提供する。

【解決手段】 有機発光素子(OLED)を発光体とする表示装置の各画素に、該OLEDを駆動するための電流駆動回路を設ける。表示信号Vdspは、画素スイッチング用トランジスタQsを介して駆動用トランジスタQdに入力される。駆動用トランジスタQdは、薄膜トランジスタにより形成されており、半導体層の上下層にゲート電極が設けられて両ゲート電極はチャネル領域を共有した構造を有する。OLEDを駆動するにあたり、短絡用スイッチング素子Q1aおよびQ1bと遮断用スイッチング素子Q2を用いて、それ以前に補償用キャパシタCsに駆動用トランジスタQdのしきい値電圧「Vth」を蓄積保持させておく。そしてその状態にて、表示信号Vdspを駆動用トランジスタQdに入力する。



【特許請求の範囲】

【請求項 1】電流受容回路に電流を供給すべく、この受容量に対応したゲート電圧の印加に基づいて同電流受容回路に電流を供給する駆動用トランジスタを備える電流駆動回路において、

前記駆動用トランジスタとして、そのチャネル領域を共有する第 1 のゲートおよび第 2 のゲートの 2 種のゲートを有するトランジスタを備え、それらゲート的一方で当該トランジスタのしきい値電圧のばらつきを補償するようにしたことを特徴とする電流駆動回路。

【請求項 2】請求項 1 記載の電流駆動回路において、前記駆動用トランジスタのソース端子と前記 2 種のゲートのうちの一方の端子との間に接続されて当該トランジスタのしきい値電圧に対応した電荷が蓄積保持されるキャパシタを備え、このキャパシタに前記しきい値電圧に対応した電荷が蓄積保持されている状態で前記駆動用トランジスタの他方のゲートに対する前記ゲート電圧の印加に基づく前記電流受容回路への電流の供給が行われることを特徴とする電流駆動回路。

【請求項 3】請求項 2 記載の電流駆動回路において、前記駆動用トランジスタのドレイン端子と前記 2 種のゲートの各端子とを一時的に共通接続する手段と、前記駆動用トランジスタに流れるドレイン電流を一時的に遮断する手段とを備え、前記各端子を一時的に共通接続して前記キャパシタへの所要の充電電荷の確保および前記駆動用トランジスタに流れるドレイン電流の一時的な遮断により、該キャパシタへの充電電荷を同トランジスタの前記しきい値電圧に対応した電荷とすることを特徴とする電流駆動回路。

【請求項 4】前記共通接続する手段による前記各端子の一時的な共通接続の実行から前記ドレイン電流を遮断する手段による前記ドレイン電流の一時的な遮断の実行までに所定の遅延時間が設定されてなる請求項 3 記載の電流駆動回路。

【請求項 5】請求項 3 または 4 記載の電流駆動回路において、前記印加されるゲート電圧を蓄積保持するためのキャパシタをさらに備えることを特徴とする電流駆動回路。

【請求項 6】前記駆動用トランジスタは p チャネル型トランジスタであり、そのソース端子が前記ドレイン電流を流すための高電位に固定されるとともに、前記電流受容回路が、前記ドレイン電流の流れる経路において同トランジスタの下流側に設けられてなる請求項 3～5 のいずれかに記載の電流駆動回路。

【請求項 7】前記電流受容回路が、前記駆動用トランジスタのドレイン端子と前記共通接続する手段によるドレイン配線上の共通接続点との間に設けられてなる請求項 6 記載の電流駆動回路。

【請求項 8】前記駆動用トランジスタは n チャネル型トランジスタであり、その前記ゲート電圧が印加されるゲ

ート端子とソース端子との間にはそれら端子間の電位差を保持する電位差保持用のキャパシタが設けられるとともに、少なくとも前記ゲート電圧が印加される期間、前記ソース端子の電位を前記ゲート電圧の電位よりも低い所定の電位に保持する手段を備え、前記電流受容回路は、前記ドレイン電流の流れる経路において同トランジスタの下流側に設けられてなる請求項 3 または 4 記載の電流駆動回路。

10 【請求項 9】前記電流受容回路が、少なくとも前記ゲート電圧が印加される期間だけ前記所定の電位に保持される駆動用トランジスタのソース端子と同トランジスタの前記しきい値電圧に対応した電荷が蓄積保持されるキャパシタのソース配線側接続点との間に設けられてなる請求項 8 記載の電流駆動回路。

【請求項 10】前記駆動用トランジスタは、前記 2 種のゲートによって共有されるチャネル領域とそれら各ゲートの電極との間の容量が等しく設定されてなる請求項 1～9 のいずれかに記載の電流駆動回路。

20 【請求項 11】発光素子を駆動すべくその駆動指令に対応したゲート電圧の印加に基づいて同発光素子に駆動電流を供給する駆動用トランジスタが表示基板上の各画素に対応したそれら発光素子毎に設けられてなる電流駆動回路を備えた表示装置において、前記各駆動用トランジスタとして、そのチャネル領域を共有する第 1 のゲートおよび第 2 のゲートの 2 種のゲートを有するトランジスタを備え、それらゲート的一方で当該トランジスタのしきい値電圧のばらつきを補償するようにしたことを特徴とする電流駆動回路を備えた表示装置。

30 【請求項 12】請求項 11 記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタのソース端子と前記 2 種のゲートのうちの一方の端子との間に接続されて当該トランジスタのしきい値電圧に対応した電荷が蓄積保持されるキャパシタを備え、それらキャパシタに各しきい値電圧に対応した電荷が蓄積保持されている状態で前記各駆動用トランジスタの他方のゲートに対する前記ゲート電圧の印加に基づく各発光素子への駆動電流の供給が行われることを特徴とする電流駆動回路を備えた表示装置。

40 【請求項 13】請求項 12 記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタのドレイン端子と前記 2 種のゲートの各端子とを一時的に共通接続する手段と、前記各駆動用トランジスタに流れるドレイン電流を一時的に遮断する手段とをそれぞれ備え、前記各端子を一時的に共通接続して前記キャパシタへの所要の充電電荷を確保したのち、前記駆動用トランジスタに流れるドレイン電流を一時的に遮断して、該キャパシタへの充電電荷を同トランジスタの前記しきい値電圧に対応した電荷とすることを特徴とする電流駆動回路を備えた表示装置。

【請求項 14】前記共通接続する手段による前記各端子の一時的な共通接続の実行から前記ドレイン電流を遮断する手段による前記ドレイン電流の一時的な遮断の実行までに所定の遅延時間が設定されてなる請求項 13 記載の電流駆動回路を備えた表示装置。

【請求項 15】請求項 13 または 14 記載の電流駆動回路を備えた表示装置において、前記印加される各ゲート電圧を蓄積保持するためのキャパシタをさらに備えることを特徴とする電流駆動回路を備えた表示装置。

【請求項 16】前記各駆動用トランジスタは p チャンネル型トランジスタであり、その各ソース端子が前記ドレイン電流を流すための高電位に固定されるとともに、前記発光素子が、前記ドレイン電流の流れる経路において各々同トランジスタの下流側に設けられてなる請求項 13 ～ 15 のいずれかに記載の電流駆動回路を備えた表示装置。

【請求項 17】前記各発光素子が、前記各駆動用トランジスタのドレイン端子と前記各共通接続する手段によるドレイン配線上の共通接続点との間に設けられてなる請求項 16 記載の電流駆動回路を備えた表示装置。

【請求項 18】前記各駆動用トランジスタは n チャンネル型トランジスタであり、その前記各ゲート電圧が印加されるゲート端子とソース端子との間にはそれら端子間の電位差を保持する電位差保持用のキャパシタが各々設けられるとともに、少なくとも前記ゲート電圧が印加される期間、前記ソース端子の電位を前記ゲート電圧の電位よりも低い所定の電位に保持する手段を各々備え、前記各発光素子は、前記ドレイン電流の流れる経路において前記各駆動用トランジスタの下流側に設けられてなる請求項 13 または 14 記載の電流駆動回路を備えた表示装置。

【請求項 19】前記各発光素子が、少なくとも前記ゲート電圧が印加される期間だけ前記所定の電位に保持される各駆動用トランジスタのソース端子と同トランジスタの前記しきい値電圧に対応した電荷が蓄積保持される各キャパシタのソース配線側接続点との間に設けられてなる請求項 18 記載の電流駆動回路を備えた表示装置。

【請求項 20】前記各駆動用トランジスタは、前記 2 種のゲートによって共有されるチャンネル領域とそれら各ゲートの電極との間の容量が等しく設定されてなる請求項 11 ～ 19 のいずれかに記載の電流駆動回路を備えた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタを用いた電流駆動回路および該電流駆動回路を備えた表示装置に関する。

【0002】

【従来の技術】MOS (Metal Oxide Semiconductor)

構造を有するトランジスタや薄膜トランジスタ (Thin Film Transistor; TFT) などは、ゲートソース間に電圧が印加されるとその電圧に応じた電流をドレインに流す、いわゆる電圧制御型の電流駆動素子である。これらの素子は、ゲートソース間にしきい値電圧を超える電圧を印加すると、そのチャンネル領域に反転層が形成されてソースドレイン間が導通するようになる。そして、このしきい値電圧は素子の電気特性を特徴づける重要なパラメータとなっている。

10 【0003】図 20 に、p チャンネル型トランジスタ Qd を用いて有機発光素子 (Organic Light Emitting Device; OLED) を発光させる従来の駆動回路の一例を示す。図 20 に示されるように、この回路においてはトランジスタ Qd のゲート端子 G に指令信号「Vin」を入力してゲートソース間に電圧「-Vgs」を与え、これによりドレイン電流「-Id」を制御する。このドレイン電流「-Id」は、トランジスタ Qd および OLED に定電圧電源「Vdd」および「Vss」を印加した状態で、ゲートソース間電圧「-Vgs」を増加させたとき、その値がしきい値電圧「Vth」を超えたところを境界として急激に増加する特性を示す (図 21 (a))。そして、同従来の回路では、このゲートソース間電圧「-Vgs」を変化させることにより、OLED に流す電流を調整して、その発光状態を制御するようにしている。

【0004】

【発明が解決しようとする課題】ところで、上記電流駆動回路が複数設けられる場合、それら回路を構成するトランジスタ (Qd) のしきい値電圧「Vth」も含めてその電気特性を完全にそろえることは事実上困難である。すなわち、図 21 (b) に示すように、しきい値電圧「Vth」が矢印 X にて示した範囲でばらつくようなことがあると、たとえゲートソース間電圧「-Vgs」の値が同じであっても、ドレイン電流「-Id」は矢印 Y にて示した範囲で大きくばらつくようになる。

【0005】このため、たとえば上記 OLED を発光素子として用いる表示装置をアクティブマトリクス駆動方式により駆動すべく、各発光素子 (画素) 毎に駆動用の TFT が設けられた電流駆動回路を構成するような場合にも、それら TFT としての素子ばらつきがその表示性能にとって無視できないものとなる。すなわちこの場合、OLED を発光させるための電流は微小であるため、それら TFT による駆動電流の制御を精度よく行わなければならない。しかし実際には、上記各 TFT にも上述のしきい値電圧のばらつきが存在するため、たとえ同じ電位の表示信号をそれら TFT の各ゲート端子 G (図 20 参照) に印加したとしても、それにより駆動される電流の大きさがすべて同じになるとは限らない。そして、こうした駆動電流のばらつきが、各画素の発光態

様（輝度）を不均一なものとしている。

【0006】なお、上記TFTを駆動用のトランジスタとする電流駆動回路に限らず、MOSトランジスタを上記駆動用のトランジスタに用いる電流駆動回路にあっても、これが複数の駆動対象毎に設けられる場合には、それらトランジスタのしきい値電圧のばらつきに起因するこうした実情もおおむね共通したものとなっている。

【0007】本発明は、上記実情に鑑みてなされたものであり、その目的は、駆動用トランジスタにおけるしきい値電圧のばらつきの影響を抑制することのできる電流駆動回路、および該電流駆動回路を備えた表示装置を提供することにある。

【0008】

【課題を解決するための手段】以下、上記目的を達成するための手段について記載する。請求項1記載の発明は、電流駆動回路として、電流受容回路に電流を供給すべく、この受容量に対応したゲート電圧の印加に基づいて同電流受容回路に電流を供給する駆動用トランジスタを備えるものであって、前記駆動用トランジスタとして、そのチャンネル領域を共有する第1のゲートおよび第2のゲートの2種のゲートを有するトランジスタを備え、それらゲート的一方で当該トランジスタのしきい値電圧のばらつきを補償するようにしたことをその要旨とする。

【0009】また、請求項2記載の発明は、請求項1記載の電流駆動回路において、前記駆動用トランジスタのソース端子と前記2種のゲートのうちの一方の端子との間に接続されて当該トランジスタのしきい値電圧に対応した電荷が蓄積保持されるキャパシタを備え、このキャパシタに前記しきい値電圧に対応した電荷が蓄積保持されている状態で前記駆動用トランジスタの他方のゲートに対する前記ゲート電圧の印加に基づく前記電流受容回路への電流の供給が行われることをその要旨とする。

【0010】また、請求項3記載の発明は、請求項2記載の電流駆動回路において、前記駆動用トランジスタのドレイン端子と前記2種のゲートの各端子とを一時的に共通接続する手段と、前記駆動用トランジスタに流れるドレイン電流を一時的に遮断する手段とを備え、前記各端子を一時的に共通接続して前記キャパシタへの所要の充電電荷を確保したのち、前記駆動用トランジスタに流れるドレイン電流を一時的に遮断して、該キャパシタへの充電電荷を同トランジスタの前記しきい値電圧に対応した電荷とすることをその要旨とする。

【0011】また、請求項4記載の発明は、請求項3記載の電流駆動回路において、前記共通接続する手段による前記各端子の一時的な共通接続の実行から前記ドレイン電流を遮断する手段による前記ドレイン電流の一時的な遮断の実行までに所定の遅延時間が設定されてなることをその要旨とする。

【0012】また、請求項5記載の発明は、請求項3ま

たは4記載の電流駆動回路において、前記印加されるゲート電圧を蓄積保持するためのキャパシタをさらに備えることをその要旨とする。

【0013】また、請求項6記載の発明は、請求項3～5のいずれかに記載の電流駆動回路において、前記駆動用トランジスタはpチャネル型トランジスタであり、そのソース端子が前記ドレイン電流を流すための高電位に固定されるとともに、前記電流受容回路が、前記ドレイン電流の流れる経路において同トランジスタの下流側に設けられてなることをその要旨とする。

【0014】また、請求項7記載の発明は、請求項6記載の電流駆動回路において、前記電流受容回路が、前記駆動用トランジスタのドレイン端子と前記共通接続する手段によるドレイン配線上の共通接続点との間に設けられてなることをその要旨とする。

【0015】また、請求項8記載の発明は、請求項3または4記載の電流駆動回路において、前記駆動用トランジスタはnチャネル型トランジスタであり、その前記ゲート電圧が印加されるゲート端子とソース端子との間にはそれら端子間の電位差を保持する電位差保持用のキャパシタが設けられるとともに、少なくとも前記ゲート電圧が印加される期間、前記ソース端子の電位を前記ゲート電圧の電位よりも低い所定の電位に保持する手段を備え、前記電流受容回路は、前記ドレイン電流の流れる経路において同トランジスタの下流側に設けられてなることをその要旨とする。

【0016】また、請求項9記載の発明は、請求項8記載の電流駆動回路において、前記電流受容回路が、少なくとも前記ゲート電圧が印加される期間だけ前記所定の電位に保持される駆動用トランジスタのソース端子と同トランジスタの前記しきい値電圧に対応した電荷が蓄積保持されるキャパシタのソース配線側接続点との間に設けられてなることをその要旨とする。

【0017】また、請求項10記載の発明は、請求項1～9のいずれかに記載の電流駆動回路において、前記駆動用トランジスタは、前記2種のゲートによって共有されるチャンネル領域とそれら各ゲートの電極との間の容量が等しく設定されてなることをその要旨とする。

【0018】また、請求項11記載の発明は、表示装置として、発光素子を駆動すべくその駆動指令に対応したゲート電圧の印加に基づいて同発光素子に駆動電流を供給する駆動用トランジスタが表示基板上の各画素に対応したそれら発光素子毎に設けられてなる電流駆動回路を備えたものであって、前記各駆動用トランジスタとして、そのチャンネル領域を共有する第1のゲートおよび第2のゲートの2種のゲートを有するトランジスタを備え、それらゲート的一方で当該トランジスタのしきい値電圧のばらつきを補償するようにしたことをその要旨とする。

【0019】また、請求項12記載の発明は、請求項1

1 記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタのソース端子と前記 2 種のゲートのうちの一方の端子との間に接続されて当該トランジスタのしきい値電圧に対応した電荷が蓄積保持されるキャパシタを備え、それらキャパシタに各しきい値電圧に対応した電荷が蓄積保持されている状態で前記各駆動用トランジスタの他方のゲートに対する前記ゲート電圧の印加に基づく各発光素子への駆動電流の供給が行われることをその要旨とする。

【0020】また、請求項 13 記載の発明は、請求項 12 記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタのドレイン端子と前記 2 種のゲートの各端子とを一時的に共通接続する手段と、前記各駆動用トランジスタに流れるドレイン電流を一時的に遮断する手段とをそれぞれ備え、前記各端子を一時的に共通接続して前記キャパシタへの所要の充電電荷を確保したのち、前記駆動用トランジスタに流れるドレイン電流を一時的に遮断して、該キャパシタへの充電電荷を同トランジスタの前記しきい値電圧に対応した電荷とすることをその要旨とする。

【0021】また、請求項 14 記載の発明は、請求項 13 記載の電流駆動回路を備えた表示装置において、前記共通接続する手段による前記各端子の一時的な共通接続の実行から前記ドレイン電流を遮断する手段による前記ドレイン電流の一時的な遮断の実行までに所定の遅延時間が設定されてなることをその要旨とする。

【0022】また、請求項 15 記載の発明は、請求項 13 または 14 記載の電流駆動回路を備えた表示装置において、前記印加される各ゲート電圧を蓄積保持するためのキャパシタをさらに備えることをその要旨とする。

【0023】また、請求項 16 記載の発明は、請求項 13 ～ 15 のいずれかに記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタは p チャンネル型トランジスタであり、その各ソース端子が前記ドレイン電流を流すための高電位に固定されるとともに、前記発光素子が、前記ドレイン電流の流れる経路において各々同トランジスタの下流側に設けられてなることをその要旨とする。

【0024】また、請求項 17 記載の発明は、請求項 16 記載の電流駆動回路を備えた表示装置において、前記各発光素子が、前記各駆動用トランジスタのドレイン端子と前記各共通接続する手段によるドレイン配線上の共通接続点との間に設けられてなることをその要旨とする。

【0025】また、請求項 18 記載の発明は、請求項 13 または 14 記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタは n チャンネル型トランジスタであり、その前記各ゲート電圧が印加されるゲート端子とソース端子との間にはそれら端子間の電位差を保持する電位差保持用のキャパシタが各々設けられると

ともに、少なくとも前記ゲート電圧が印加される期間、前記ソース端子の電位を前記ゲート電圧の電位よりも低い所定の電位に保持する手段を各々備え、前記各発光素子は、前記ドレイン電流の流れる経路において前記各駆動用トランジスタの下流側に設けられてなることをその要旨とする。

【0026】また、請求項 19 記載の発明は、請求項 18 記載の電流駆動回路を備えた表示装置において、前記各発光素子が、少なくとも前記ゲート電圧が印加される期間だけ前記所定の電位に保持される各駆動用トランジスタのソース端子と同トランジスタの前記しきい値電圧に対応した電荷が蓄積保持される各キャパシタのソース配線側接続点との間に設けられてなることをその要旨とする。

【0027】そして、請求項 20 記載の発明は、請求項 11 ～ 19 のいずれかに記載の電流駆動回路を備えた表示装置において、前記各駆動用トランジスタは、前記 2 種のゲートによって共有されるチャネル領域とそれら各ゲートの電極との間の容量が等しく設定されてなることをその要旨とする。

【0028】

【発明の実施の形態】（第 1 の実施の形態）以下、本発明にかかる電流駆動回路および該電流駆動回路を備えた表示装置を、電流駆動素子として有機発光素子（Organic Light Emitting Device ; OLED）を駆動する電流駆動回路および該電流駆動回路を備えた表示装置に適用した第 1 の実施の形態について、図 1 ～ 図 8 を参照しつつ説明する。

【0029】まず、この第 1 の実施の形態にかかる表示装置の概略構成を図 1 に示す。図 1 に示されるように、この表示装置は、表示部 11 とこれを制御するための周辺回路とを有して構成されている。そして、この周辺回路は、表示部 11 にタイミング信号を供給する V スキャナ 12 と、同表示部 11 に表示信号を供給するサンプリングスイッチアレイ 13 と、そのサンプリングスイッチアレイ 13 に切替信号を与える H スキャナ 14 とを有して構成されている。

【0030】このうち、V スキャナ 12 は、V スキャナ用クロックおよびスタートパルスを受けて、表示部 11 の水平方向に延設されたタイミング信号配線 15 に順次タイミング信号を供給する。一方、H スキャナ 14 は、H スキャナ用クロックおよびスタートパルスを受けて、サンプリングスイッチアレイ 13 に切替信号を与える。サンプリングスイッチアレイ 13 は、その切替信号を受けて、表示部 11 の垂直方向に延設された表示信号配線 16 の対応する部分に順次、H スキャナ用クロックおよびスタートパルスと同期して入力されてくる表示信号を供給する。すなわち、本実施の形態においては、V スキャナ 12 が画素を駆動するためのタイミング回路として機能する。

【0031】そして、表示部11には、格子状に設けられた上記タイミング信号配線15と表示信号配線16との交差部分に対応して、発光素子であるOLEDおよびその発光状態を制御する電流駆動回路などが設けられ、表示装置の各画素を構成している。

【0032】なお、表示部11の水平方向および垂直方向には、上記タイミング信号配線15および表示信号配線16のほか、各種基準電位を与える複数の電源配線なども延設されているが、図1においてはこれら配線の図示を割愛した。

【0033】また、表示部11および周辺回路を構成する各回路および配線は、1枚のガラス基板上に薄膜形成技術により形成された表示基板上に構成されている。そして、それら回路を機能させるための能動素子として薄膜トランジスタ(TFT)が用いられている。

【0034】次に、上記表示部11を構成する各画素の回路について、図2に示す回路図を参照しつつ説明する。図2に示されるように、この画素には、走査信号 V_{scn} と、画素内のOLEDの発光状態を制御するためのパルス信号 ϕ_1 および ϕ_2 とが、表示部11の水平方向にそれぞれに延設されたタイミング信号配線15を介して入力される。これら3つの信号 V_{scn} 、 ϕ_1 、および ϕ_2 が、各画素に与えられるタイミング信号となる。また同画素には、表示信号配線16を介して、表示信号 V_{dsp} も入力される。この表示信号 V_{dsp} がOLEDを駆動する駆動指令となる。さらに同画素には、水平または垂直方向に延設された電源配線を介して、そのOLEDを発光させるための電源となる基準電位「 V_{dd} 」、「 V_{ss} 」、および「 V_{fx} 」が用意され、画素内の各回路要素に接続されている。

【0035】上記周辺回路から与えられる各種信号および基準電位によって、この画素内の各回路は概略、以下のように機能する。すなわちまず、表示信号配線16に当該画素を対象とした表示信号 V_{dsp} が与えられると、それに同期してタイミング信号配線15に活性化された走査信号 V_{scn} が与えられて画素スイッチング用トランジスタ Q_s のゲート端子に活性化信号が入力される。これにより、表示信号 V_{dsp} が駆動用トランジスタ Q_d のゲート端子のノードに伝達されるとともに、この表示信号 V_{dsp} は信号保持キャパシタ C_h に充電される。これにより、表示信号 V_{dsp} が画素内の信号保持キャパシタに駆動指令として所定の期間保持される。そして、この画素内に保持された駆動指令を受けて、駆動用トランジスタ Q_d はその入出力特性とOLEDの特性カーブと基準電位「 V_{dd} 」および「 V_{ss} 」とによって定まる電流をOLEDに供給する。

【0036】ここで、本実施の形態の電流駆動回路において用いられる駆動用トランジスタ Q_d は、pチャネル型TFTとして形成されており、相異なる電位に接続可能な2つのゲート端子を備えている。図3(a)は、こ

の駆動用トランジスタ Q_d の断面構造を示す図である。

図3(a)に示されるように、この駆動用トランジスタ Q_d は、ガラス基板上にボトムゲート電極25、ボトムゲート絶縁膜23、半導体層21、トップゲート絶縁膜22、およびトップゲート電極24が、薄膜形成技術を用いてこの順に堆積して形成されている。そして、この半導体層21には、ボトムゲート電極25とトップゲート電極24とに対向している部分にチャネル領域26が形成されており、そのチャネル領域26の両側に隣接してp型の導電領域が形成されている。こうした構造において、ボトムゲート電極25またはトップゲート電極24と、上記導電領域の一方(ソース電極)との間に印加される電位差に基づいて、チャネル領域26にキャリアが生成されてソース電極と導電領域の他方(ドレイン電極)との間の導通が制御される。すなわち、この駆動用トランジスタ Q_d には、半導体層21の上下の層に各ゲート絶縁膜を介して形成されたトップゲート電極24とボトムゲート電極25とにより、チャネル領域26を共有したゲート構造が構成されている。

【0037】なお、本実施の形態においては、ボトムゲート電極25およびトップゲート電極24が半導体層21と対向している面積は等しく形成されている。また、ボトムゲート絶縁膜23およびトップゲート絶縁膜22は同じ材料にて構成されているとともに、それらによってボトムゲート電極25およびトップゲート電極24がそれぞれ半導体層21と離間している距離 D_1 および D_2 は相等しく形成されている。このため、ボトムゲート電極25およびトップゲート電極24が半導体層21のチャネル領域26に対してもつ容量は相等しくしてある。

【0038】また、本実施の形態において、トップゲート電極24は、電流駆動回路の駆動指令となる表示信号を受けてこの電位とソース端子との電位差(トップゲートーソース間電圧)に基づき、ドレイン端子に流れるドレイン電流を制御する用途に使われる。一方、ボトムゲート電極25は、上記ドレイン電流の制御においてこれが顕著に増加し始めるトップゲートソース間電圧(しきい値電圧「 V_{th} 」)の値を補正する用途に使われる。

【0039】こうした構造を有する駆動用トランジスタ Q_d を、以下の説明においては、先の図2においてすでに示したように、図3(b)に示す回路記号にて表す。すなわち、図3(b)に示される回路記号は、ソース端子Sとドレイン端子Dとの間に形成されたチャネルに、トップゲート端子 G_t とボトムゲート端子 G_b とが互いに異なる電位に接続可能であることを示している。そして、トップゲート端子 G_t のソース端子Sに対する電位をトップゲートーソース間電圧「 V_{gst} 」、ドレイン端子Dに流れ込む電流(ドレイン電流)を「 I_d 」、ボトムゲート端子 G_b のソース端子Sに対する電位をボトムゲートーソース間電圧「 V_{gsb} 」、ドレイン端子D

のソース端子Sに対する電位をドレインソース間電圧「 V_{ds} 」、ドレイン端子Dの接地電位に対する電位をドレイン電位「 V_d 」としてそれぞれ表す。ただし、本実施の形態においては、トップゲートソース間電圧として「 $-V_{gst}$ 」を、ドレイン電流として「 $-I_d$ 」を、ボトムゲートソース間電圧として「 $-V_{gsb}$ 」を、ドレインソース間電圧として「 $-V_{ds}$ 」を、それぞれパラメータとして用いる。

【0040】次に、この駆動用トランジスタQdの電気的特性について、図4を参照しつつ説明する。図4

(a)は、駆動用トランジスタQdのドレインソース間電圧「 $-V_{ds}$ 」が一定である条件においての、トップゲートソース間電圧「 $-V_{gst}$ 」とドレイン電流「 $-I_d$ 」との関係（以下「 $-V_{gst}$ vs $-I_d$ 」カーブ、という）を示したものである。なお、ボトムゲートソース間電圧「 $-V_{gsb}$ 」は「0ボルト」である。図4(a)に実線にて示したように、ドレイン電流「 $-I_d$ 」はトップゲートソース間電圧「 $-V_{gst}$ 」を「0ボルト」から増加させてもその値がしきい値電圧「 V_{th} 」を超えるまでは流れない。さらにトップゲートソース間電圧「 $-V_{gst}$ 」を増加させてその値がしきい値電圧「 V_{th} 」を超えるようになると、ドレイン電流「 $-I_d$ 」は急激に増加する。ただしより正確には、トップゲートソース間電圧「 $-V_{gst}$ 」がしきい値電圧「 V_{th} 」以下の値であってもドレイン電流「 $-I_d$ 」は流れるが、その値が無視できる程度の微小な大きさである、と換言できる。

【0041】そして、この「 $-V_{gst}$ vs $-I_d$ 」カーブは、ボトムゲートソース間電圧「 $-V_{gsb}$ 」を変化させることにより左右にシフトさせることができる。これは、トップゲート端子Gtとボトムゲート端子Gbとがチャネルを共有しているためであり、トップゲート端子Gtへの電圧印加とまったく同様に、ボトムゲート端子Gbへの電圧印加によっても同チャネルにキャリアが生成されるためである。すなわちこの場合、ボトムゲートソース間電圧「 $-V_{gsb}$ 」を正の値にしたときには、それによりチャネルにキャリアが生成されるため、電流がより流れやすくなって「 $-V_{gst}$ vs $-I_d$ 」カーブは左にシフトする。また、ボトムゲートソース間電圧「 $-V_{gsb}$ 」を負の値にしたときには、同チャネルにおけるキャリアの生成が抑制されるため、電流がより流れにくくなって「 $-V_{gst}$ vs $-I_d$ 」カーブは右にシフトする（図4(a)に点線にて図示）。

【0042】特に、本実施の形態においては上述したように、トップゲート端子Gtのゲート電極24およびボトムゲート端子Gbのゲート電極25が、それらの共有するチャネル領域26に対してもつそれぞれの容量は、相等しくなるように駆動用トランジスタQdが形成されている。したがって、上記「 $-V_{gst}$ vs $-I_d$ 」カーブのシフト量は、ボトムゲートソース間電圧「 $-V_{gsb}$ 」

sb」の値に等しくなる。そして、ボトムゲート端子Gbとソース端子Sとの間に当該トランジスタQdのしきい値電圧を保持するようにすれば、「 $-V_{gst}$ vs $-I_d$ 」カーブの特性が各トランジスタのしきい値電圧の値だけ左にシフトする。これにより、駆動用トランジスタQdは、その入出力特性を各トランジスタがそれぞれにもつしきい値電圧のばらつきに依存しない均一なものとするができるようになる。

【0043】ちなみに、図4(b)に示す図は、トップゲートソース間電圧「 $-V_{gst}$ 」を一定として、ドレインソース間電圧「 $-V_{ds}$ 」を変化させたときのドレイン電流「 $-I_d$ 」の特性を示したものである。図4(b)の実線に示したように、ドレイン電流「 $-I_d$ 」は、ドレインソース間電圧「 $-V_{ds}$ 」の増加とともに増加し、やがて飽和する特性を示す。そして、このドレイン電流「 $-I_d$ 」の特性は、ボトムゲートソース間電圧「 $-V_{gsb}$ 」を正の値にすると増加（上）方向に相似形に拡大され、負の値にすると減少（下）方向に相似形に縮小される（図4(b)に点線にて図示）。

【0044】次に、上記特性をもつ駆動用トランジスタQdを用いて構成した、先の図2に示した電流駆動回路の動作について詳細に説明する。図2に示したように、この電流駆動回路は、画素スイッチング用トランジスタQsおよび駆動用トランジスタQdのほか、駆動用トランジスタQdの周辺にスイッチング素子Q1a、Q1b、およびQ2と、補償用キャパシタCsとを備えている。そして、駆動用トランジスタQdのドレイン端子Dには、トップゲート端子Gtおよびボトムゲート端子Gbとが短絡用スイッチング素子Q1aおよびQ1bを介して接続されており、これらの端子が一時的に共通接続されるようにしてある。また、駆動用トランジスタQdのソース端子Sには、ボトムゲート端子Gbとの間にこれら端子間に所定の期間、電圧を保持可能な補償用キャパシタCsが接続されている。そして、これらは電位の高い方から順に基準電位「 V_{dd} 」、駆動用トランジスタQd、遮断用スイッチング素子Q2、OLED、および「 V_{ss} 」が接続されて、ドレイン電流「 $-I_d$ 」の流れる経路を形成している。ここに、遮断用スイッチング素子Q2は、駆動用トランジスタQdのドレイン電流「 $-I_d$ 」の導通を一時的に遮断させるようにしたものである。なお、短絡用スイッチング素子Q1aおよびQ1bはnチャネル型TF Tにて、また遮断用スイッチング素子Q2はpチャネル型TF Tにて形成してある。

【0045】そして、上記3つのスイッチング素子Q1a、Q1b、およびQ2の開閉動作は、パルス信号φ1およびφ2に基づいて行われる。図5は、Vスキャナ12（図1参照）からのタイミング信号であるパルス信号φ1およびφ2と走査信号Vscnの変化を、駆動用トランジスタQdのトップゲートソース間電圧「 $-V_{gst}$ 」

s t」の変化とともに示したタイミングチャートである。図 5 に示されるように、時刻 t_1 以前においては、パルス信号 ϕ_1 および ϕ_2 と走査信号 V_{scn} がすべて「ロー (L)」となっている。すなわち、短絡用スイッチング素子 Q_{1a} および Q_{1b} と画素スイッチング用トランジスタ Q_s とが「オフ」の状態であり、遮断用スイッチング素子 Q_2 が「オン」の状態である。この状態は、前回の走査信号 V_{scn} によって前回の表示信号 V_{dsp} が信号保持キャパシタ C_h に保持された状態であり、そのとき保持されたトップゲートソース間電圧「 $-V_{gst}$ 」に基づいて駆動用トランジスタ Q_d がドレイン電流を供給し OLED を駆動している。

【0046】上記状態においてまず、時刻 t_1 にパルス信号 ϕ_1 が「L」から「ハイ (H)」に変化する。これにより、短絡用スイッチング素子 Q_{1a} および Q_{1b} と遮断用スイッチング素子 Q_2 とがともに「オン」の状態となり、この画素における等価回路が図 6 (a) に示すものとなる。この図 6 (a) に示される回路においては、駆動用トランジスタ Q_d はそのトップゲート端子 G_t とボトムゲート端子 G_b とドレイン端子 D とが一時的に共通接続されて同電位のままドレイン電流「 $-I_d$ 」が流れる。このとき駆動用トランジスタ Q_d のドレインソース間電圧「 $-V_{ds}$ 」が補償用キャパシタ C_s に充電される。続いて、時刻 t_2 にパルス信号 ϕ_2 が「H」から「L」に変化する。これにより、遮断用スイッチング素子 Q_2 が「オフ」となり、この画素における等価回路が図 6 (b) に示すものとなる。この図 6

(b) に示される回路においては、先に補償用キャパシタ C_s に充電された電荷が矢印にて示した経路を通過して放電され、最終的にソース端子 S とトップゲート端子 G_t 、ボトムゲート端子 G_b 、およびドレイン端子 D との間に保持される電圧が当該駆動用トランジスタ Q_d のしきい値電圧「 V_{th} 」と等しくなる (図 5 の (c) における期間 T_1)。続いて、時刻 t_3 にパルス信号 ϕ_1 が「L」となり、短絡用スイッチング素子 Q_{1a} および Q_{1b} が「オフ」となる。これにより、補償用キャパシタ C_s に保持されたしきい値電圧「 V_{th} 」が確定される (図示略)。続いて、時刻 t_4 にパルス信号 ϕ_2 が

「L」となり、遮断用スイッチング素子 Q_2 が「オン」となる。これにより、ドレイン電流「 $-I_d$ 」が流れる経路が再度導通される (図示略)。そして時刻 t_5 に走査信号 V_{scn} が「H」となると画素スイッチング用トランジスタ Q_s が「オン」になり、この画素における等価回路が図 7 に示すものとなる。すなわちこのとき、補償用キャパシタ C_s に駆動用トランジスタ Q_d のしきい値電圧「 V_{th} 」が保持された状態にて、表示信号 V_{dsp} が駆動用トランジスタ Q_d のトップゲート端子 G_t に伝達される。同時に、信号保持キャパシタ C_h がその表示信号 V_{dsp} によって充電される。これにより、駆動用トランジスタ Q_d は、トップゲート端子 G_t に伝達

された表示信号に、しきい値電圧のばらつきが補償された入出力特性 (補正された入出力特性) にて動作するようになる。こうして、電流駆動素子である OLED は、駆動用トランジスタ Q_d の補正された入出力特性と当該 OLED の特性カーブとによって定まるドレイン電流「 I_d 」が供給され、その電流値に対応した輝度にて発光する。

【0047】図 8 は、上記駆動用トランジスタ Q_d の補正された入出力特性と OLED の特性カーブとを、同駆動用トランジスタ Q_d のドレイン電位「 V_d 」を横軸にとって示したものである。このうち、駆動用トランジスタ Q_d の補正された入出力特性は、図 8 の曲線群 L_1 に示したように、ドレイン電位「 V_d 」が高電位側の基準電位「 V_{dd} 」のときに電流が流れず、同電位「 V_d 」が低くなるにつれてドレイン電流「 $-I_d$ 」が増加し、やがて飽和する。そして、このドレイン電流「 $-I_d$ 」の飽和値は、トップゲートソース間電圧「 $-V_{gst}$ 」の値を大きくすると増加する特性を有する。一方、OLED の特性カーブは、図 8 の曲線 L_2 に示したように、ドレイン電位「 V_d 」が低電位側の基準電位「 V_{ss} 」から高くなると、あるしきい値を超えた電位で電流が流れ始め、さらにドレイン電位「 V_d 」が高くなるにしたがって増加する。そして、実際のドレイン電位「 V_d 」は、これら曲線群 L_1 と曲線 L_2 との交点として定まる。この場合、OLED の電流電圧特性にばらつきが生じても、駆動用トランジスタで電流が飽和しているため、各 OLED でほぼ一定量の電流を供給できる。

【0048】以上説明したように、この第 1 の実施の形態にかかる電流駆動回路および該電流駆動回路を備えた表示装置によれば、以下のような効果を得ることができるようになる。

【0049】(1) 電流駆動回路として、駆動用トランジスタ Q_d の備える 2 種のゲートのうちのボトムゲート側で、同駆動用トランジスタ Q_d のしきい値電圧「 V_{th} 」のばらつきが補償される。このため、表示部 11 を構成する複数の電流駆動回路に対して、それら電流駆動回路の各駆動用トランジスタ Q_d におけるしきい値電圧のばらつきの影響が抑制されるようになる。

【0050】これにより、表示部 11 を構成する各画素の OLED の駆動指令に対する発光状態 (輝度) のばらつきが抑制され、表示装置としてその表示面が均一なものとなる。

【0051】(2) 駆動用トランジスタ Q_d のソース端子 S とボトムゲート端子 G_b との間に当該トランジスタ Q_d のしきい値電圧「 V_{th} 」に対応した電荷が補償用キャパシタ C_s に蓄積保持される。このため、この補償用キャパシタ C_s に上記しきい値電圧「 V_{th} 」に対応した電荷が蓄積保持されている状態で上記駆動用トランジスタ Q_d のトップゲート端子 G_t に対して駆動指令 (表示信号 V_{dsp}) を印加することにより、上記しき

い値電圧「 V_{th} 」のばらつきを補償することができるようになる。

【0052】(3) 駆動用トランジスタ Q_d のドレイン端子 D とトップゲート端子 G_t とボトムゲート端子 G_b とを一時的に共通接続することができる。このため、補償用キャパシタ C_s に当該トランジスタ Q_d のしきい値電圧「 V_{th} 」に対応した電荷を保持することができるようになる。

【0053】(4) 補償用キャパシタ C_s に駆動用トランジスタ Q_d のしきい値電圧「 V_{th} 」を超える電圧に
10 対応した所要の充電電荷を確保したのちに、上記ドレイン端子 D とトップゲート端子 G_t とボトムゲート端子 G_b との一時的な共通接続がなされる。このため、補償用キャパシタ C_s へのトランジスタ Q_d のしきい値電圧「 V_{th} 」に対応した電荷の保持を、より確かなものとする
ことができるようになる。

【0054】(5) トップゲート端子 G_t に印加される駆動指令(表示信号 V_{dsp})を蓄積保持することが
20 できる。このため、駆動用トランジスタ Q_d による同駆動指令に基づくOLEDの駆動をより長期間保つことができるようになる。すなわち、表示装置として各画素の発光期間がより長くなるため、表示面の輝度を高めることができる
ようになる。

【0055】(6) 駆動用トランジスタ Q_d としてpチャネル型トランジスタが用いられ、OLEDが、ドレイン電流「 $-I_d$ 」の流れる経路において同トランジスタ
 Q_d の下流側に設けられた回路構成とすることができるようになる。

【0056】これにより、OLEDの製造工程に対応した電流駆動回路を備えた表示装置が、pチャネル型ト
30 ランジスタを用いて適切に機能する回路により構成されるようになる。

【0057】(7) トップゲートおよびボトムゲートによって共有されるチャネル領域とそれら各ゲートの電極との容量が等しく設定される。このため、駆動用トランジスタ Q_d のしきい値電圧「 V_{th} 」のばらつきがよ
りの確に補償されるようになる。

【0058】(第2の実施の形態)次に、本発明にかかる電流駆動回路および該電流駆動回路を備えた表示装置を、電流駆動素子としてOLEDを駆動する電流駆動回
40 路および該電流駆動回路を備えた表示装置に適用した第2の実施の形態について、図9～図18を参照しつつ、先の第1の実施の形態との相違点を中心に説明する。

【0059】この第2の実施の形態の表示装置としての概略構成も、先に説明した第1の実施の形態とまったく同じである。ただし、本実施の形態の表示装置においては、その表示部11を構成する各画素の電流駆動回路に用いられる駆動用トランジスタ Q_d として、nチャネル型TFTが用いられている。また、表示信号 V_{dsp} が表示信号配線16から画素内に伝達される期間、同駆動
50

用トランジスタ Q_d のソース端子の電位を固定するために、充電用スイッチング素子をさらに追加している。なお、先の第1の実施の形態と同様、OLEDはドレイン電流の流れる経路においてもっとも低電位側に接続されている。

【0060】まず、本実施の形態の表示部11を構成する各画素について、図9に示す回路図を参照しつつ説明する。図9に示されるように、この画素には、走査信号 V_{scn} と、画素内のOLEDの発光状態を制御するためのパルス信号 ϕ_1 、 ϕ_2 、および ϕ_3 とが、表示部11の水平方向にそれぞれに延設されたタイミング信号配線15を介して入力される。これら4つの信号 V_{scn} 、 ϕ_1 、 ϕ_2 、および ϕ_3 が、各画素に与えられるタイミング信号となる。また、同画素には、先の第1の実施の形態と同様、表示信号 V_{dsp} が入力されるとともに、基準電位「 V_{dd} 」、「 V_{bb} 」、および「 V_{fx} 」が用意され、画素内の各回路要素に接続されている。

【0061】そして、表示信号 V_{dsp} が走査信号 V_{scn} に同期して画素内の信号保持キャパシタ C_h に充電される動作は、基本的には先の第1の実施の形態のものと同様である。

【0062】ここで、本実施の形態の電流駆動回路において用いられる駆動用トランジスタ Q_d は、上述のようにnチャネル型TFTとして形成されており、相異なる2つの電位に接続可能なゲート端子を備えている。図10(a)は、この駆動用トランジスタ Q_d の断面構造を示す図である。図10(a)に示されるように、この駆動用トランジスタ Q_d は、ガラス基板上にボトムゲート電極35、ボトムゲート絶縁膜33、半導体層31、トップゲート絶縁膜32、およびトップゲート電極34が、薄膜形成技術を用いてこの順に堆積して形成されている。先の第1の実施の形態と相違しているのは、この半導体層31のチャネル領域36の両側に隣接して形成されているのがn型の導電領域である点と、それら導電領域間はゲート電極35または34とソース電極との間への電圧印加に基づいて発生するnチャネルによりその導通が制御される点である。そして、この駆動用トランジスタ Q_d にも、半導体層31の上下の層に各ゲート絶縁膜を介して形成されたトップゲート電極34とボトムゲート電極35とにより、チャネル領域36を共有したゲート構造が構成されている。なお、本実施の形態においても、トップゲートおよびボトムゲートについて、それぞれの電極面積、絶縁膜の材料、半導体層との離間距離 D_1 および D_2 は相等しく形成されている。したがって、ボトムゲート電極35およびトップゲート電極34が半導体層31のチャネル領域36に対してもつ容量は相等しくしてある。

【0063】また、本実施の形態においても、トップゲート電極34が、電流駆動回路の駆動指令となる表示信

号を受けてこの電位とソース端子との電位差（トップゲートーソース間電圧）に基づき、ドレイン端子に流れるドレイン電流を制御する用途に使われる。一方、ボトムゲート電極25は、上記ドレイン電流の制御においてこれが顕著に増加し始めるトップゲートーソース間電圧（しきい値電圧「 V_{th} 」）の値を補正する用途に使われる。

【0064】こうした構造を有する駆動用トランジスタQdを、以下の説明においては、先の図9においてすでに示したように、図10（b）に示す回路記号にて表す。すなわち、図10（b）に示される回路記号は、ソース端子Sとドレイン端子Dとの間に形成されたチャンネルに、トップゲート端子Gtとボトムゲート端子Gbとが互いに異なる電位に接続可能であることを示している。そして、トップゲート端子Gtのソース端子Sに対する電位をトップゲートーソース間電圧「 V_{gst} 」、ドレイン端子Dに流れ込む電流（ドレイン電流）を「 I_d 」、ボトムゲート端子Gbのソース端子Sに対する電位をボトムゲートーソース間電圧「 V_{gsb} 」、ドレイン端子Dのソース端子Sに対する電位をドレインーソース間電圧「 V_{ds} 」、ソース端子Sの接地電位に対する電位をソース電位「 V_s 」としてそれぞれ表す。ただし、本実施の形態においては、トップゲートーソース間電圧等これらのパラメータにその正負を逆転させる「-（マイナス）」は付さず、そのままの値を用いることにする。

【0065】次に、この駆動用トランジスタQdの電気的特性について、図11を参照しつつ説明する。図11（a）は、駆動用トランジスタQdのドレインーソース間電圧「 V_{ds} 」が一定である条件においての、トップゲートーソース間電圧「 V_{gst} 」とドレイン電流「 I_d 」との関係（以下「 V_{gst} vs I_d 」カーブ、という）を示したものである。なお、ボトムゲートーソース間電圧「 V_{gsb} 」は「0ボルト」である。図11（a）に実線にて示されるように、ドレイン電流「 I_d 」はトップゲートーソース間電圧「 V_{gst} 」を「0ボルト」から増加させても、その値がしきい値電圧「 V_{th} 」を超えるまでは流れない。さらに、トップゲートーソース間電圧「 V_{gst} 」を増加させてその値がしきい値電圧「 V_{th} 」を超えるようになると、ドレイン電流「 I_d 」は急激に増加する。

【0066】そして、この「 V_{gst} vs I_d 」カーブは、先の第1の実施の形態と同様、ボトムゲートーソース間電圧「 V_{gsb} 」を変化させることにより左右にシフトさせることができる。その理由も、先の第1の実施の形態に説明したとおりである。この場合、「 V_{gsb} 」を正の値にしたときには、それによりチャンネルにキャリアが生成されるため、電流がより流れやすくなって「 V_{gst} vs I_d 」カーブは左にシフトする。また、ボトムゲートーソース間電圧「 V_{gsb} 」を負の値にした

ときには、同チャンネルにおけるキャリアの生成が抑制されるため、電流がより流れにくくなって「 V_{gst} vs I_d 」カーブは右にシフトする（図11（a）に点線にて図示）。

【0067】特に、本実施の形態においても、トップゲート端子Gtのゲート電極34およびボトムゲート端子Gbのゲート電極35が、それらの共有するチャンネル領域36に対してもつそれぞれの容量は、相等しくなるように駆動用トランジスタQdが形成されている。したがって、上記「 V_{gst} vs I_d 」カーブのシフト量は、ボトムゲートーソース間電圧「 V_{gsb} 」の値に等しくなることも、先の第1の実施の形態の場合と同様である。そして、ボトムゲート端子Gbとソース端子Sとの間に当該トランジスタQdのしきい値電圧を保持するようにすれば、「 V_{gst} vs I_d 」カーブの特性が各トランジスタのしきい値電圧の値だけ左にシフトする。これにより、駆動用トランジスタQdは、その入出力特性を各トランジスタがそれぞれにもつしきい値電圧のばらつきに依存しない均一なものとすることができるようになる。

【0068】ちなみに、図11（b）に示す図は、トップゲートーソース間電圧「 V_{gst} 」を一定として、ドレインーソース間電圧「 V_{ds} 」を変化させたときのドレイン電流「 I_d 」の特性を示したものである。図11（b）の実線に示したように、ドレイン電流「 I_d 」は、ドレインーソース間電圧「 V_{ds} 」の増加とともに増加し、やがて飽和する特性を示す。そして、このドレイン電流「 I_d 」の特性は、ボトムゲートーソース間電圧「 V_{gsb} 」を正の値にすると増加（上）方向に相似形に拡大され、負の値にすると減少（下）方向に相似形に縮小される（図11（b）に点線にて図示）。

【0069】次に、上記特性をもつ駆動用トランジスタQdを用いて構成した、先の図9に示した電流駆動回路の動作について詳細に説明する。この電流駆動回路は、先の第1の実施の形態と比較して、駆動用トランジスタQdとしてpチャンネル型に代えてnチャンネルを用いるためその接続が異なっている。すなわち、図9に示したように、駆動用トランジスタQdのドレイン端子Dには、トップゲート端子Gtおよびボトムゲート端子Gbとが短絡用スイッチング素子Q1aおよびQ1bを介して接続されている。また、同駆動用トランジスタQdのソース端子Sには、ボトムゲート端子Gbとの間にこれら端子間への所定の期間の電圧保持を可能にする補償用キャパシタCsが接続されている。そして、これらは電位の高いほうから順に基準電位「 V_{dd} 」、遮断用スイッチング素子Q2、駆動用トランジスタQd、OLED、および「 V_{ss} 」が接続されて、ドレイン電流「 I_d 」の流れる経路を形成している。さらに、この第2の実施の形態において、信号保持キャパシタChは、駆動用トランジスタQdのトップゲート端子Gtとソース端子との間に直接接続されており、該ソース端子Sと接続されて

いるノードは充電用スイッチング素子Q3を介して基準電位「Vfx」に接続されている。なお、この第2の実施の形態においては、短絡用スイッチング素子Q1aおよびQ1bと充電用スイッチング素子Q3とがnチャンネル型TFTにて、また遮断用スイッチング素子Q2がpチャンネル型TFTにて形成してある。

【0070】そして、上記4つのスイッチング素子Q1a、Q1b、Q2、およびQ3の開閉動作はパルス信号φ1、φ2、およびφ3に基づいて行われる。図12は、Vスキナ12（図1参照）からのタイミング信号であるパルス信号φ1、φ2、およびφ3と走査信号Vscnの変化を、駆動用トランジスタQdのトップゲートソース間電圧「Vgst」の変化とともに示したタイミングチャートである。図12に示されるように、時刻t1以前においては、パルス信号φ1、φ2、およびφ3と走査信号Vscnがすべて「L」となっている。すなわち、短絡用スイッチング素子Q1aおよびQ1bと充電用スイッチング素子Q3と画素スイッチング用トランジスタQsとが「オフ」の状態であり、遮断用スイッチング素子Q2が「オン」の状態である。この状態は、前回の走査信号Vscnによって前回の表示信号Vdspが信号保持キャパシタChに保持された状態であり、そのとき保持されたトップゲートソース間電圧「Vgst」に基づいて駆動用トランジスタQdがドレイン電流を供給しOLEDを駆動している。

【0071】上記状態においてまず、時刻t1にパルス信号φ1が「L」から「H」に変化する。これにより、短絡用スイッチング素子Q1aおよびQ1bと遮断用スイッチング素子Q2とがともに「オン」の状態となり、この画素における等価回路が図13（a）に示すものとなる。この図13（a）に示される回路においては、駆動用トランジスタQdはそのトップゲート端子Gtとボトムゲート端子Gbとドレイン端子Dとが一時的に共通接続されて同電位のままドレイン電流「Id」が流れる。このとき駆動用トランジスタQdのドレインソース間電圧「Vds」が補償用キャパシタCsに充電される。続いて、時刻t2にパルス信号φ2が「H」から「L」に変化する。これにより、遮断用スイッチング素子Q2が「オフ」となり、この画素における等価回路が図13（b）に示すものとなる。この図13（b）に示される回路においては、先に補償用キャパシタCsに充電された電荷が矢印にて示した経路を通して放電され、最終的にソース端子Sとトップゲート端子Gt、ボトムゲート端子Gb、およびドレイン端子Dとの間に保持される電圧が当該駆動用トランジスタQdのしきい値電圧「Vth」と等しくなる（図12の（c）における期間T1）。続いて、時刻t3にパルス信号φ1が「L」となり、短絡用スイッチング素子Q1aおよびQ1bが「オフ」となる。これにより、補償用キャパシタCsに保持されたしきい値電圧「Vth」が確定される（図示

略）。続いて、時刻t4にパルス信号φ2が「L」となり、遮断用スイッチング素子Q2が「オン」となる。これにより、ドレイン電流「Id」が流れる経路が再度導通される（図示略）。そして時刻t5に走査信号Vscnおよびパルス信号φ3がともに「H」となると画素スイッチング用トランジスタQsおよび充電用スイッチング素子Q3がともに「オン」になり、この画素における等価回路が図14に示すものとなる。すなわちこのとき、補償用キャパシタCsに駆動用トランジスタQdのしきい値電圧「Vth」が保持された状態にて、表示信号Vdspが駆動用トランジスタQdのトップゲート端子Gtに伝達される。同時に、信号保持キャパシタChがその表示信号Vdspによって充電される。ただしこのとき、ソース電位「Vs」が基準電位「Vfx」に固定される。そして本実施の形態においては、基準電位「Vfx」と基準電位「Vss」との電位差が、OLEDを十分な輝度にて発光させるに十分な値となっていない。したがって、トップゲートソース間電圧「Vgst」として十分大きい値が入力された場合であっても、OLEDは発光しない（図12の期間T2）。さらに、時刻t6に走査信号Vscnおよびパルス信号φ3が「L」になると画素スイッチング用トランジスタQsおよび充電用スイッチング素子Q3がともに「オフ」となり、この画素における等価回路が図15に示すものとなる。この図15に示される回路においては、トップゲートソース間電圧「Vgst」が先に信号保持キャパシタChに充電された値のまま、駆動用トランジスタQdのソース電位「Vs」は基準電位「Vfx」から開放される。こうして、駆動用トランジスタQdが、トップゲート端子Gtに伝達された表示信号Vdspに、しきい値電圧のばらつきが補償された入出力特性（補正された入出力特性）にて動作するようになる。それとともに、OLEDには、駆動用トランジスタQdの補正された入出力特性と当該OLEDの特性カーブとによって定まるドレイン電流「Id」が供給され、その電流値に対応した輝度にて発光する（図12の期間T3）。なお、このパルス信号φ3が変化するタイミングと走査信号Vscnが変化するタイミングと同じにする場合には、充電用スイッチング素子Q3を制御するゲート信号として、パルス信号φ3に代えて走査信号Vscnを用いてもよい。また、このパルス信号φ3が変化するタイミングは、必ずしも走査信号Vscnが変化するタイミングと同じにする必要はない。

【0072】図16は、上記駆動用トランジスタQdの補正された入出力特性とOLEDの特性カーブとを、同駆動用トランジスタQdのソース電位「Vs」を横軸にとって示したものである。このうち、駆動用トランジスタQdの補正された入出力特性は、図16の曲線群L3に示したように、ソース電位「Vs」が高電位側の基準電位「Vdd」のときに電流が流れず、同電位「Vs」

が低くなるにつれてドレイン電流「 I_d 」が増加し、やがて飽和する。そして、このドレイン電流「 I_d 」の飽和値は、トップゲートソース間電圧「 V_{gst} 」の値を大きくすると増加する特性を有する。一方、OLEDの特性カーブは、図16の曲線L4に示したように、ソース電位「 V_s 」が低電位側の基準電位「 V_{ss} 」から高くなると、あるしきい値を超えた電位で電流が流れ始め、さらにソース電位「 V_s 」が高くなるにしたがって増加する。そして、実際のソース電位「 V_s 」は、これら曲線群L3と曲線L4との交点として定まり、この場合、OLEDの電流電圧特性にばらつきが生じて、駆動用トランジスタで電流が飽和しているため、各OLEDではほぼ一定量の電流を供給できる。

【0073】なお、本実施の形態において、先に説明した第1の実施の形態のように、信号保持キャパシタ C_h の電位基準とする側が基準電位「 V_{fx} 」に接続されない場合、ドレイン電流「 I_d 」は以下のように駆動される。すなわち、表示信号 V_{dsp} が駆動用トランジスタ Q_d のトップゲート端子 G_t に入力されると、その同信号 V_{dsp} のソース端子 S に対する電位差に基づいてドレイン電流「 I_d 」が流れる。ところが、このドレイン電流「 I_d 」が流れることによりソース電位「 V_s 」がもち上がるため、トップゲートソース間電圧「 V_{gst} 」が低くなってドレイン電流「 I_d 」は抑制される。こうして、ソース電位「 V_s 」に対するドレイン電流「 I_d 」の特性は、OLEDの特性が反映されて図16の点線にて示す曲線群L5のようなものとなる。このため、トップゲートソース間電圧「 V_{gst} 」とOLEDを流れる電流「 I_d 」との関係は、同電圧「 V_{gst} 」が小さい領域ではドレイン電流「 I_d 」があまり増加せず、同電圧「 V_{gst} 」がある程度の大きさとなつてはじめてドレイン電流「 I_d 」の増加が顕著となる特性となる。したがってこの場合、表示信号 V_{dsp} の信号レベルをその特性に対応させて決定したものとすることが好ましい。

【0074】このように、本実施の形態によっても、駆動用トランジスタ Q_d の入出力特性は、同トランジスタ Q_d のしきい値電圧のばらつきが補償されたものとなる。以上説明したように、この第2の実施の形態にかかる電流駆動回路および該電流駆動回路を備えた表示装置によれば、先の第1の実施の形態により得られる(1)～(4)および(7)の効果に加えて、以下のような効果を得ることができるようになる。

【0075】(8) 駆動用トランジスタ Q_d としてnチャネル型トランジスタが用いられ、OLEDが、ドレイン電流「 I_d 」の流れる経路において同トランジスタ Q_d の下流側に設けられた回路構成とすることができるようになる。それとともに、画素内に伝達される表示信号を、トップゲート端子 G_t とソース端子 S との間の電位差として好適に蓄積保持することができる。このため、

上記表示信号に基づいた駆動用トランジスタ Q_d によるOLEDの駆動を、定電流動作とすることができる。

【0076】これにより、OLEDの製造工程に対応した電流駆動回路を備えた表示装置が、nチャネル型トランジスタを用いて適切に機能する回路により構成されるようになる。

【0077】(その他の実施の形態) なお、上記各実施の形態は以下のように変更して実施してもよい。

・上記各実施の形態においては、駆動用トランジスタのトップゲートおよびボトムゲートについて、それぞれの電極面積、絶縁膜の材料、半導体層との離間距離 D_1 および D_2 が相等しく形成されている場合について例示したが、必ずしもこの構成に限定されるものではない。ボトムゲート電極およびトップゲート電極が半導体層のチャネル領域に対してもつ容量が相等しく形成されていれば、上記各実施の形態によって得られる効果と同じ効果を得ることができる。ただし、同容量が相等しく形成されていない場合であっても、補償用キャパシタ C_s に駆動用トランジスタ Q_d のしきい値電圧に対応した電荷を蓄積保持することによって、同じしきい値電圧のばらつきを補償する上記各実施の形態に準じた効果を得ることができる。

【0078】・上記各実施の形態においては、駆動用トランジスタのトップゲートを表示信号の入力端子として、またボトムゲートをそのしきい値電圧のばらつきの補償用端子として用いた場合について例示したが、これら2つのゲートの機能を相互に入れ替えてもかまわない。また、上記2種の機能をもつゲート構造であれば、上記駆動用トランジスタ Q_d としてゲート電極を合計で3つ以上備えたものであってもよい。要は、チャネル領域を共有して上記2種の機能をもつゲートを備えたものであればよい。

【0079】・上記各実施の形態において説明した時刻 t_1 から時刻 t_2 までの遅延時間は、必ずしも必要ではない。同遅延時間を設けない場合であっても、それら各実施の形態に準じた効果を得ることができる。

【0080】・上記各実施の形態においては、タイミング回路から発生されるパルス信号として、短絡用スイッチング素子 Q_1a および Q_1b に対するパルス信号 ϕ_1 と、遮断用スイッチング素子 Q_2 に対するパルス信号 ϕ_2 とを用いて電流駆動回路を機能させる場合について例示したが、必ずしもこの構成とする必要はない。たとえば、短絡用スイッチング素子 Q_1a および Q_1b をタイミング回路からのパルス信号 ϕ に基づいて動作させる一方、遮断用スイッチング素子 Q_2 にはその入力段に同パルス信号 ϕ に対する遅延素子を設け、これを介して遅延された信号に基づいて動作させるようにしてもよい。この場合、短絡用スイッチング素子 Q_1a および Q_1b と遮断用スイッチング素子 Q_2 とを共通のパルス信号に基づいて制御することができるとともに、タイミング信号

配線 15 の数を削減することができるようになる。

【0081】・短絡用スイッチング素子 Q1a および Q1b と遮断用スイッチング素子 Q2 とを共通のパルス信号に基づいて制御しない場合、パルス信号 $\phi 1$ および $\phi 2$ により制御されるスイッチング素子のチャネル型はそれぞれ任意に選ぶことができる。

【0082】・また特に、上記第 2 の実施の形態においては、充電用スイッチング素子 Q3 に対する入力として、パルス信号 $\phi 3$ に代えて走査信号 Vscn を用いてもよい。この場合、OLED を発光駆動させるタイミングが走査信号 Vscn により一意に決定されるほかは、同第 2 の実施の形態において得られるものと同じ効果が得られるようになる。

【0083】・上記各実施の形態においては、電流駆動回路によって駆動される電流駆動素子として OLED が用いられる場合について例示したが、必ずしもこの構成に限定されるものではない。同電流駆動素子としては、OLED に限らず駆動用トランジスタ Qd によって駆動可能な任意のものとすることができる。もちろん、表示素子に限定されるものではなく、電流を受容してその機能を発揮する任意の電流受容回路であればよい。

【0084】・上記各実施の形態においては、電流駆動回路の電流駆動素子 (Ld) が、ドレイン電流「Id」の流れる経路においてもっとも低電位側に接続された場合について例示したが、必ずしもこの構成に限定されるものではない。同電流駆動素子 Ld は、それよりも高電位側において任意の態様に接続してもよい。また、遮断用スイッチング素子 Q2 の接続態様についても、ドレイン電流「Id」の流れる経路を一時的に遮断できる範囲で変更してもよい。たとえば、図 9 の B 部に対応する部分を、図 17 に示した回路としてもよい。

【0085】・上記各実施の形態においては、電流駆動回路の駆動用トランジスタ Qd のしきい値電圧「Vth」を補正する回路について例示したが、同電流駆動回路の電流駆動素子 (Ld) もしきい値電圧を有する場合にはこれを含めて補正することもできる。たとえば、上記第 1 の実施の形態については、図 2 の A 部に対応する部分に代えて図 18 に示した回路を用いることにより、電流駆動素子 Ld のしきい値電圧の補正を含めた入出力特性をもつ電流駆動回路を実現することができる。また、上記第 2 の実施の形態については、図 9 の B 部に対応する部分に代えて図 19 に示した回路を用いることにより、上記電流駆動回路と同様のものを実現することができる。

【0086】・上記各実施の形態において、スイッチング素子として必ずしもトランジスタを用いる必要はない。トランジスタに代えて等価回路を変更することのできる任意のスイッチング素子を用いることができる。

【0087】・上記各実施の形態においては、駆動用トランジスタ Qd をトップゲートとボトムゲートを備えた

TF T により構成した場合について例示したが、必ずしもこの構成に限定されるものではない。同駆動用トランジスタ Qd としては、チャネルを共有し、かつ互いに独立した電位に接続可能な複数のゲート端子をもつトランジスタであればよい。

【0088】

【発明の効果】請求項 1 記載の発明によれば、電流駆動回路として、駆動用トランジスタの備える 2 種のゲートのうち的一方で、同駆動用トランジスタのしきい値電圧のばらつきが補償される。このため、たとえ複数の電流駆動回路が設けられた回路であっても、それら電流駆動回路の各駆動用トランジスタにおけるしきい値電圧のばらつきの影響が抑制されるようになる。

【0089】これにより、請求項 11 記載の、電流駆動回路を備えた表示装置を構成することができるようになる。この表示装置によれば、表示面を構成する各画素の発光素子の駆動指令に対する発光状態（輝度）のばらつきが抑制され、その表示面が均一なものとなる。

【0090】また、請求項 2 記載の発明によれば、請求項 1 記載の電流駆動回路において、上記駆動用トランジスタのソース端子と上記 2 種のゲートのうち的一方の端子との間に当該トランジスタのしきい値電圧に対応した電荷がキャパシタに蓄積保持される。このため、このキャパシタに上記しきい値電圧に対応した電荷が蓄積保持されている状態で上記駆動用トランジスタの他方のゲートに対するゲート電圧を印加することにより、上記しきい値電圧のばらつきを補償することができるようになる。

【0091】これにより、請求項 12 記載の、電流駆動回路を備えた表示装置を構成することができるようになる。また、請求項 3 記載の発明によれば、請求項 2 記載の電流駆動回路において、上記駆動用トランジスタのドレイン端子と前記 2 種のゲートの各端子とを一時的に共通接続することができる。このため、上記キャパシタに当該トランジスタのしきい値電圧に対応した電荷を保持することができるようになる。

【0092】これにより、請求項 13 記載の、電流駆動回路を備えた表示装置を構成することができるようになる。また、請求項 4 記載の発明によれば、請求項 3 記載の電流駆動回路において、上記キャパシタに所要の充電電荷を確保したのちに、上記ドレイン端子と 2 種のゲートの各端子との一時的な共通接続がなされる。このため、上記キャパシタへの当該トランジスタのしきい値電圧に対応した電荷の保持を、より確かなものとすることができるようになる。

【0093】これにより、請求項 14 記載の、電流駆動回路を備えた表示装置を構成することができるようになる。また、請求項 5 記載の発明によれば、請求項 3 または 4 記載の電流駆動回路において、印加されるゲート電圧を蓄積保持することができる。このため、上記駆動用

トランジスタによる同ゲート電圧に基づく電流駆動素子の駆動をより長期間保つことができるようになる。

【0094】これにより、請求項15記載の、電流駆動回路を備えた表示装置を構成することができるようになる。この表示装置によれば、各画素の発光期間がより長くなるため、表示面の輝度を高めることができるようになる。

【0095】また、請求項6記載の発明によれば、請求項3～5のいずれかに記載の電流駆動回路において、上記駆動用トランジスタとしてpチャネル型トランジスタ

が用いられ、上記電流駆動素子が、上記ドレイン電流の流れる経路において同トランジスタの下流側に設けられた回路構成とすることができるようになる。

【0096】これにより、請求項16記載の、電流駆動回路を備えた表示装置を構成することができるようになる。特に、たとえば、有機発光素子（OLED）を上記電流駆動素子として用いる場合などのように、製造工程等による回路接続に制限がある場合にあっては、pチャネル型トランジスタを用いて適切に機能する回路が構成される。

【0097】また、請求項7記載の発明によれば、請求項6記載の電流駆動回路において、上記しきい値電圧のばらつきの補償を、上記電流駆動素子のしきい値電圧のばらつきを含めたものとする

ことができるようになる。

【0098】これにより、請求項17記載の、電流駆動回路を備えた表示装置を構成することができるようになる。また、請求項8記載の発明によれば、請求項3または4記載の電流駆動回路において、上記駆動用トランジスタとしてnチャネル型トランジスタが用いられ、上記電流駆動素子が、上記ドレイン電流の流れる経路において同トランジスタの下流側に設けられた回路構成とすることができるようになる。それとともに、印加されるゲート電圧を、上記ゲート端子とソース端子との間の電位差として好適に蓄積保持することができる。このため、同ゲート電圧に基づいた上記駆動用トランジスタによる電流駆動素子の駆動を、定電流動作とすることができる。

【0099】これにより、請求項18記載の、電流駆動回路を備えた表示装置を構成することができるようになる。特に、たとえば、有機発光素子（OLED）を上記電流駆動素子として用いる場合などのように、製造工程等による回路接続に制限がある場合にあっては、nチャネル型トランジスタを用いて適切に機能する回路が構成される。

【0100】また、請求項9記載の発明によれば、請求項8記載の電流駆動回路において、印加されるゲート電圧を、上記ゲート端子とソース端子との間の電位差として蓄積保持することができる。このため、上記駆動用トランジスタによる同ゲート電圧に基づく電流駆動素子の駆動を、定電流動作とすることができる。それとも

に、上記しきい値電圧のばらつきの補償を、上記電流駆動素子のしきい値電圧のばらつきを含めたものとする

ことができるようになる。

【0101】これにより、請求項19記載の、電流駆動回路を備えた表示装置を構成することができるようになる。また、請求項10記載の発明によれば、請求項1～9のいずれかに記載の電流駆動回路において、上記2種のゲートによって共有されるチャネル領域とそれら各ゲートの電極との容量が等しく設定される。このため、上記駆動用トランジスタのしきい値電圧のばらつきがより的確に補償されるようになる。

【0102】これにより、請求項20記載の、電流駆動回路を備えた表示装置を構成することができるようになる。

【図面の簡単な説明】

【図1】本発明にかかる電流駆動回路を備えた表示装置の実施の形態について、その構成例を模式的に示す図。

【図2】第1の実施の形態にかかる表示装置について、その各画素の回路構成を例示する図。

【図3】上記各画素の回路に用いられる駆動用トランジスタについて、これを例示して説明する図。

【図4】上記駆動用トランジスタの電気特性を例示する図。

【図5】第1の実施の形態の電流駆動回路の動作を例示するタイミングチャート。

【図6】上記電流駆動回路の動作を示す等価回路を示す図。

【図7】上記電流駆動回路の動作を示す等価回路を示す図。

【図8】上記電流駆動回路の電気特性とその動作点について説明する図。

【図9】第2の実施の形態にかかる表示装置について、その各画素の回路構成を例示する図。

【図10】上記各画素の回路に用いられる駆動用トランジスタについて、これを例示して説明する図。

【図11】上記駆動用トランジスタの電気特性を例示する図。

【図12】第2の実施の形態の電流駆動回路の動作を例示するタイミングチャート。

【図13】上記電流駆動回路の動作を示す等価回路を示す図。

【図14】上記電流駆動回路の動作を示す等価回路を示す図。

【図15】上記電流駆動回路の動作を示す等価回路を示す図。

【図16】上記電流駆動回路の電気特性とその動作点について説明する図。

【図17】本発明にかかる電流駆動回路の変形例について、その回路構成を例示する図。

【図18】本発明にかかる電流駆動回路の変形例につい

て、その回路構成を例示する図。

【図 19】本発明にかかる電流駆動回路の変形例について、その回路構成を例示する図。

【図 20】従来の電流駆動回路について、その回路構成を例示する図。

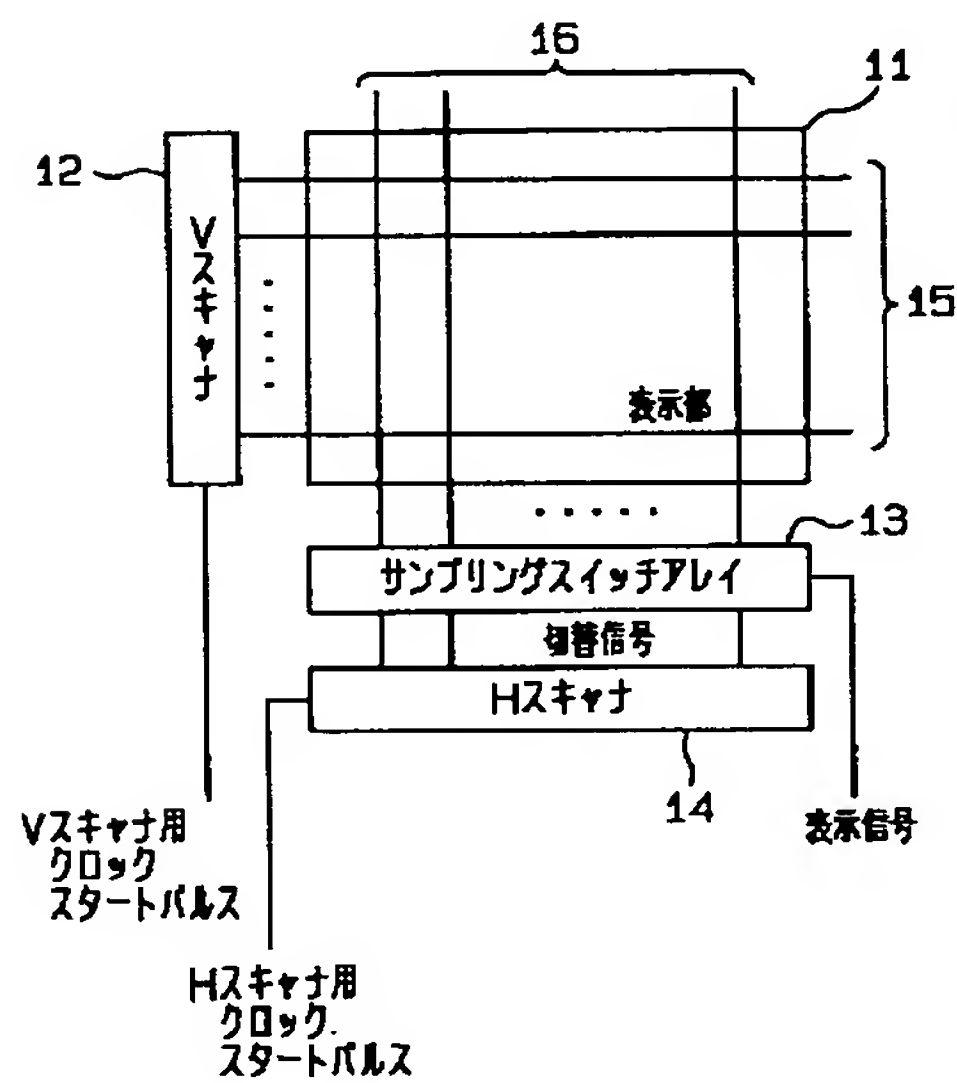
【図 21】上記電流駆動回路に用いられる駆動用トランジスタの電気特性を例示する図。

【符号の説明】

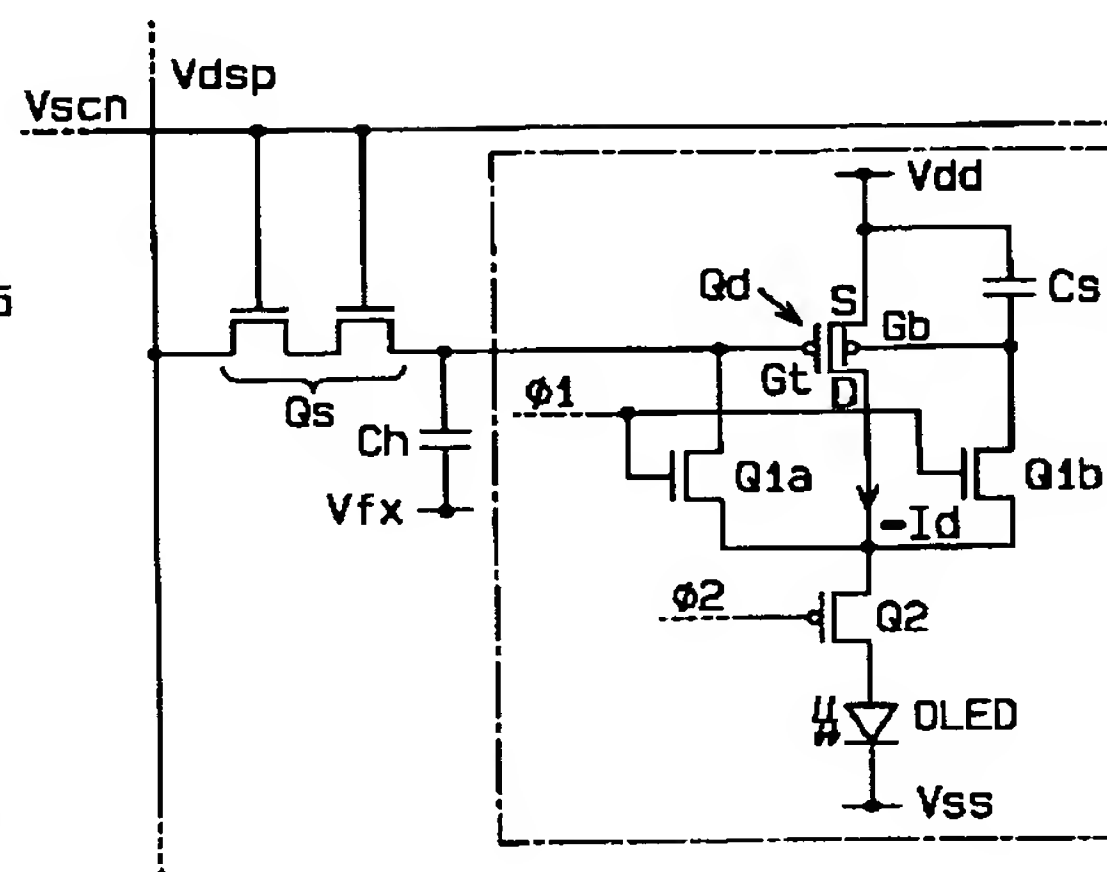
11…表示部、12…Vスキャナ、13…サンプリング

スイッチアレイ、14…Hスキャナ、15…タイミング信号配線、16…表示信号配線、21…半導体層、22…トップゲート絶縁膜、23…ボトムゲート絶縁膜、24…トップゲート電極、25…ボトムゲート電極、26…チャネル領域、31…半導体層、32…トップゲート絶縁膜、33…ボトムゲート絶縁膜、34…トップゲート電極、35…ボトムゲート電極、36…チャネル領域。

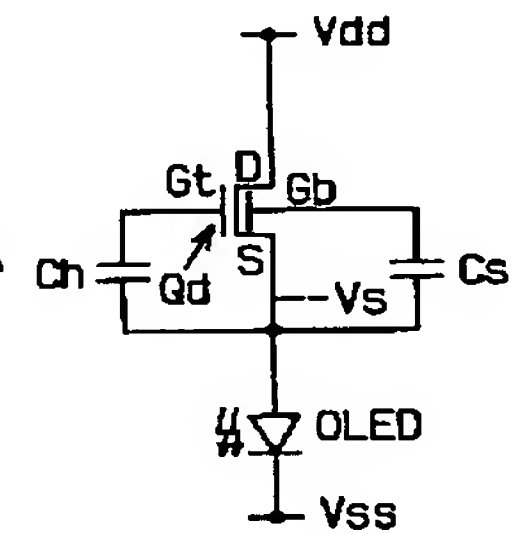
【図 1】



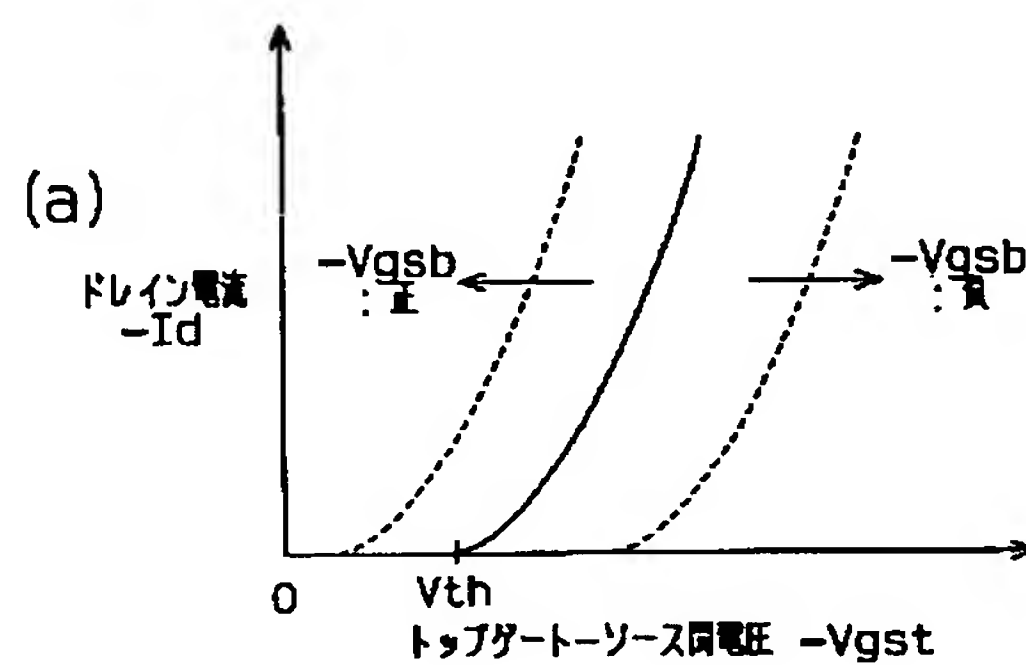
【図 2】



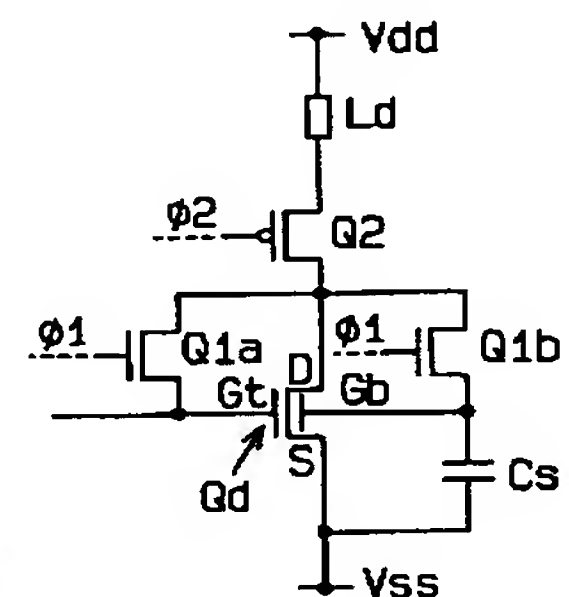
【図 15】



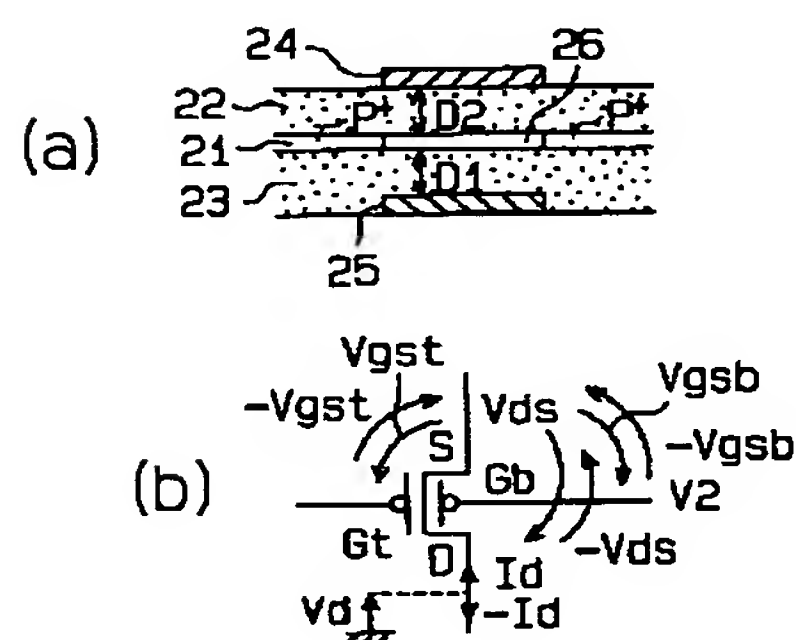
【図 4】



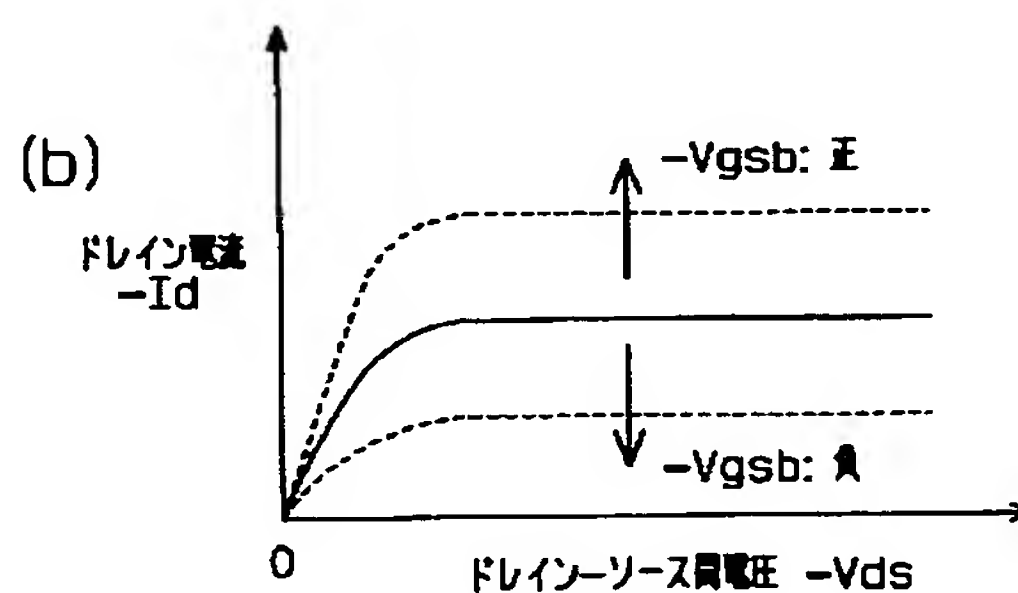
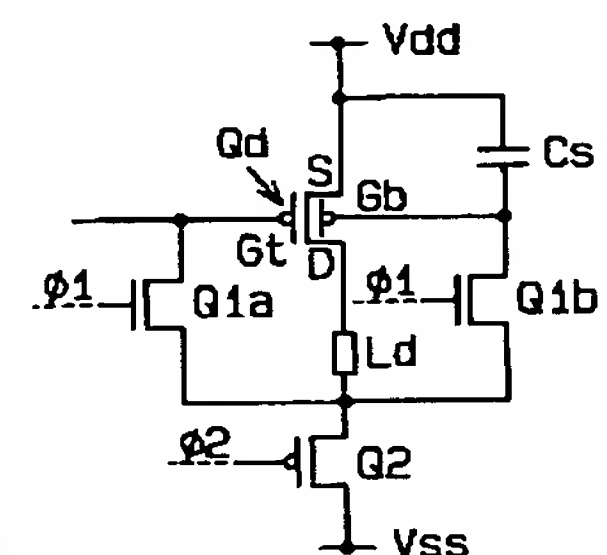
【図 17】



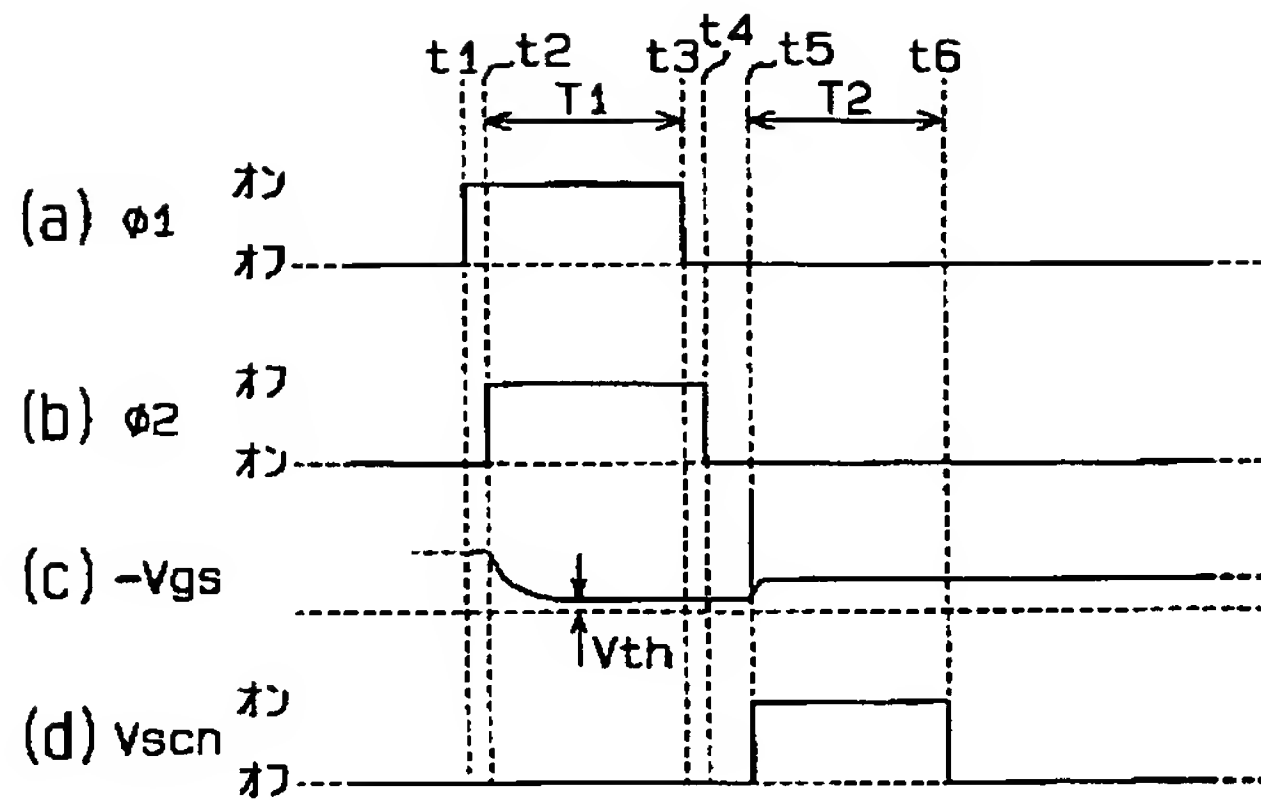
【図 3】



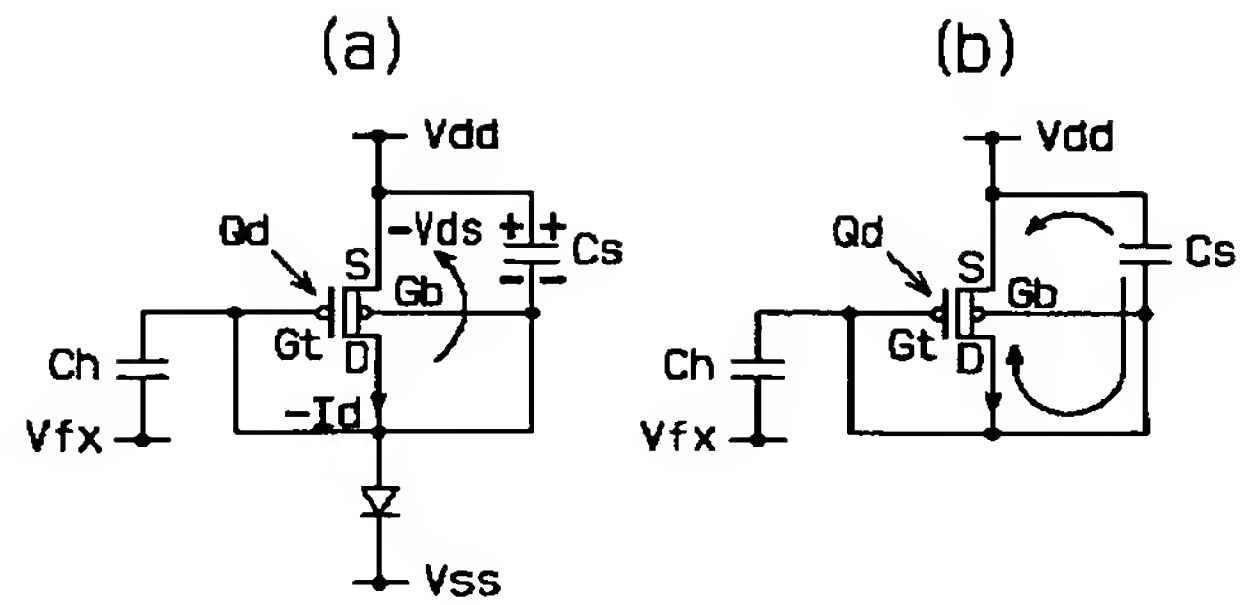
【図 18】



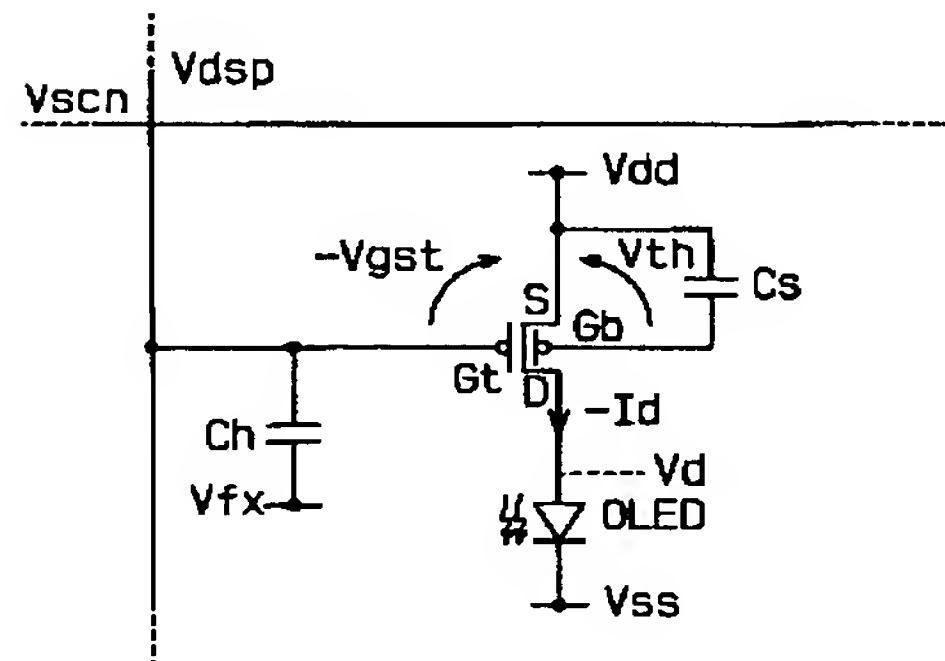
【図 5】



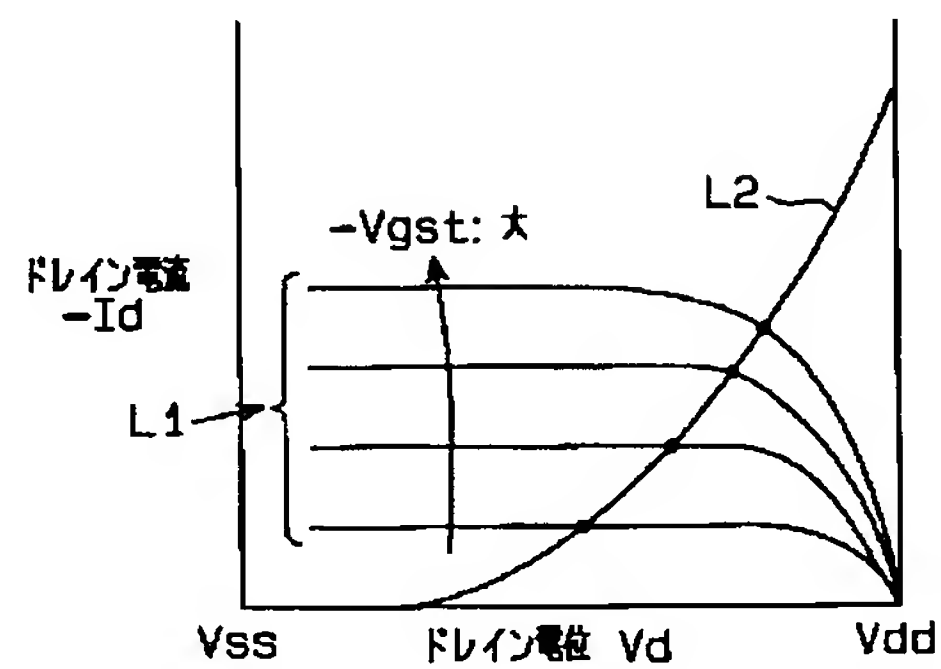
【図 6】



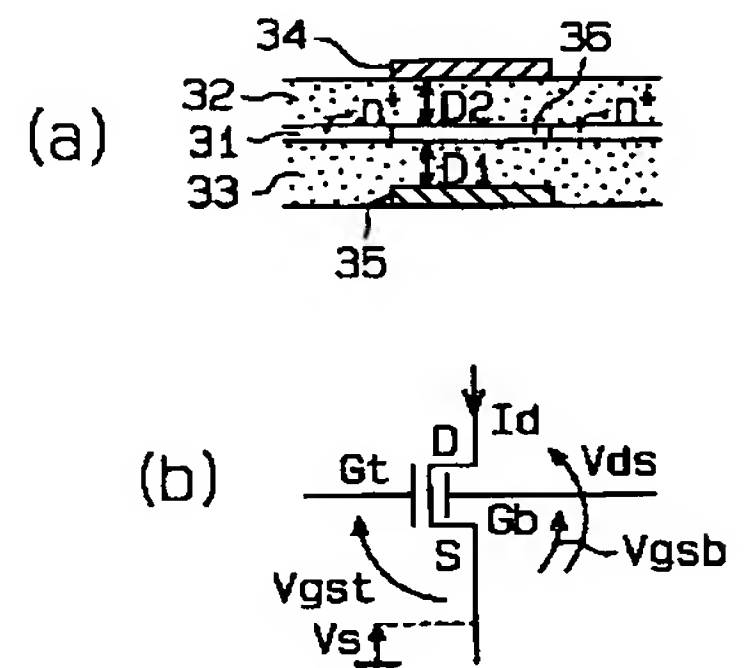
【図 7】



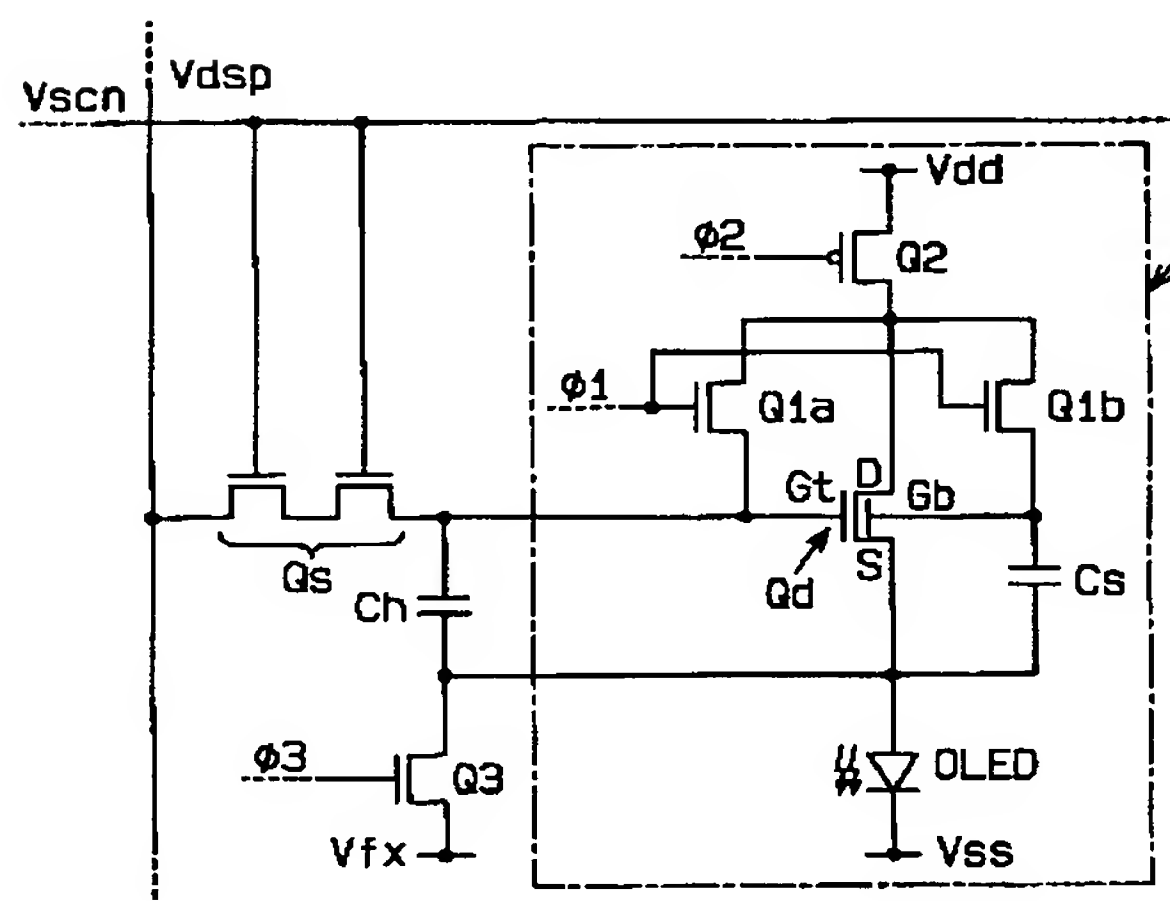
【図 8】



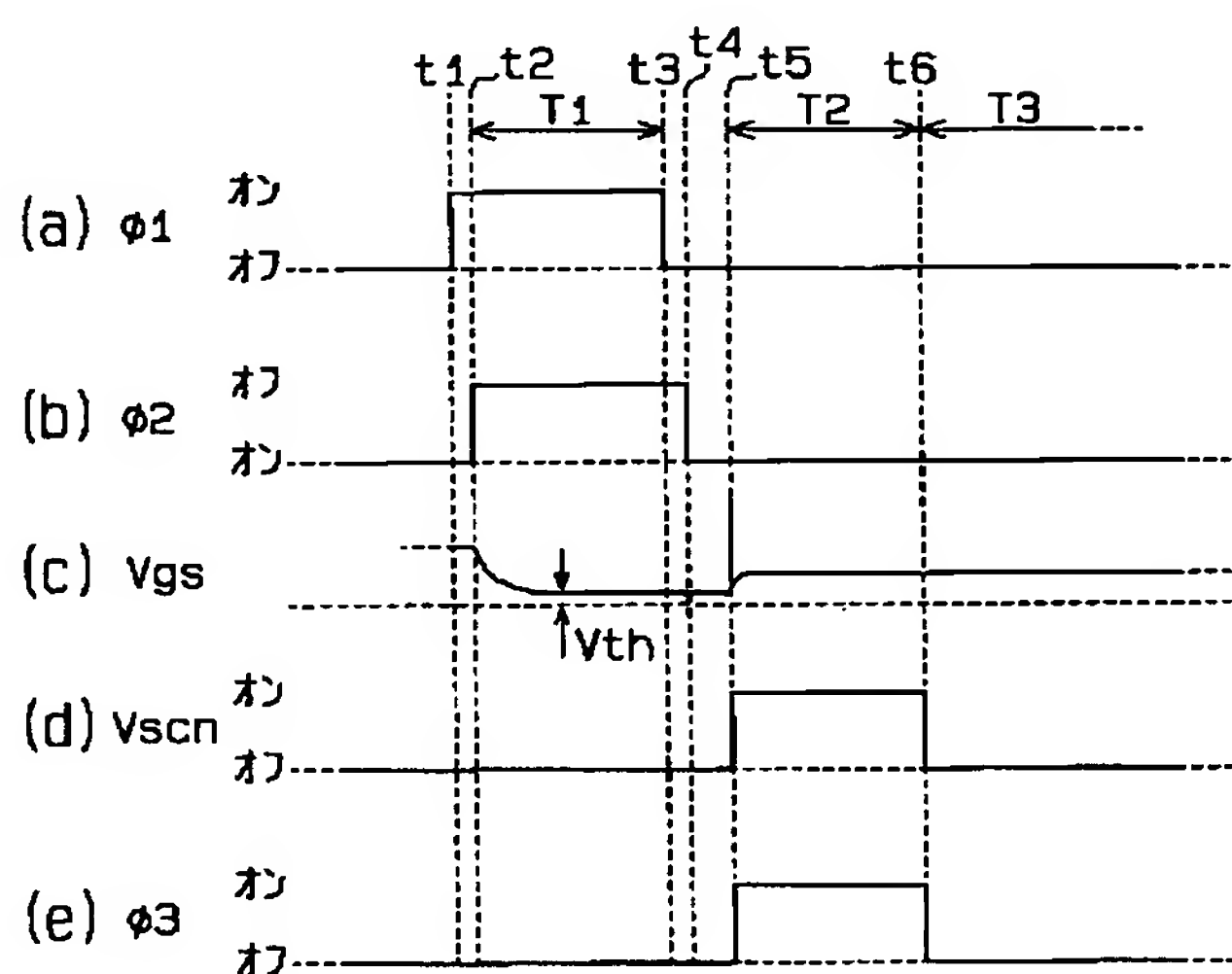
【図 10】



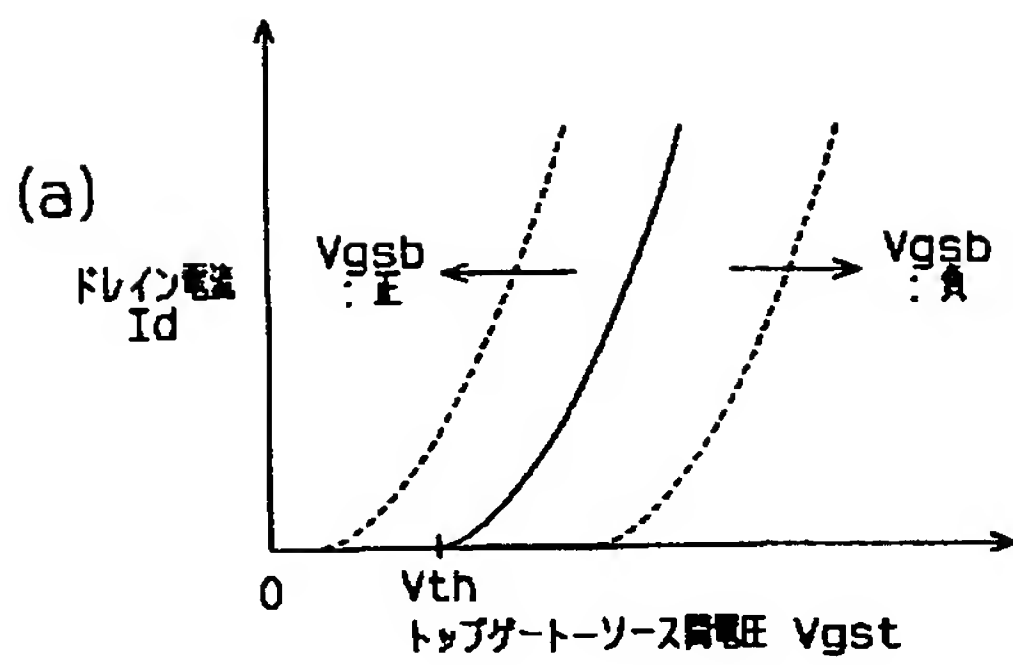
【図 9】



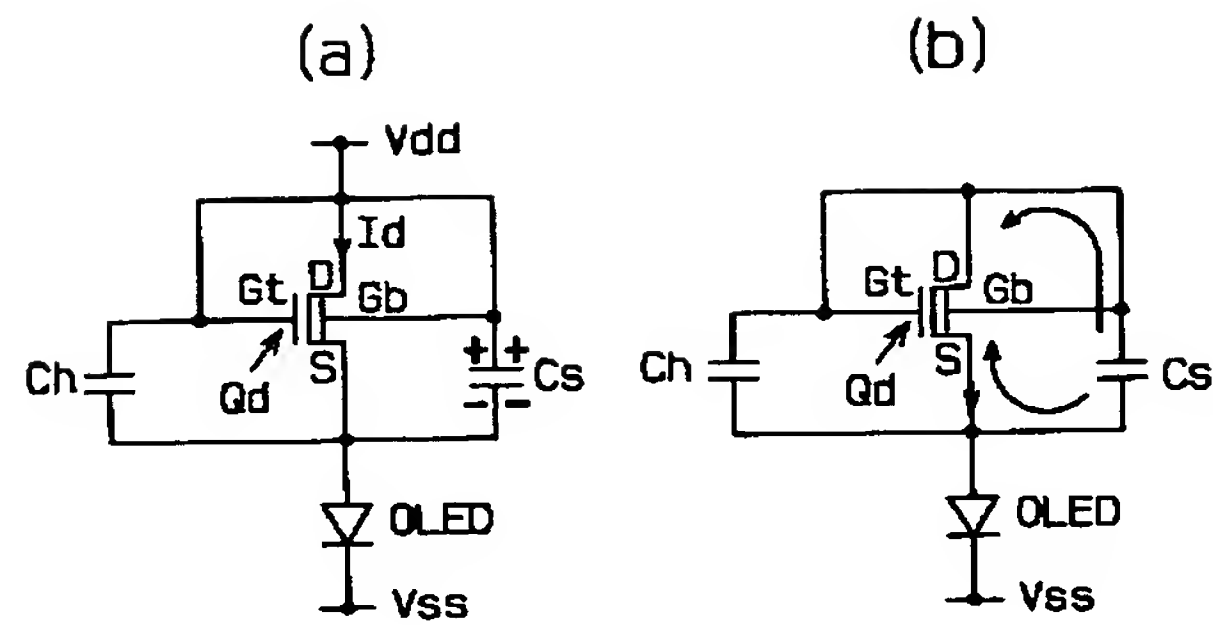
【図 12】



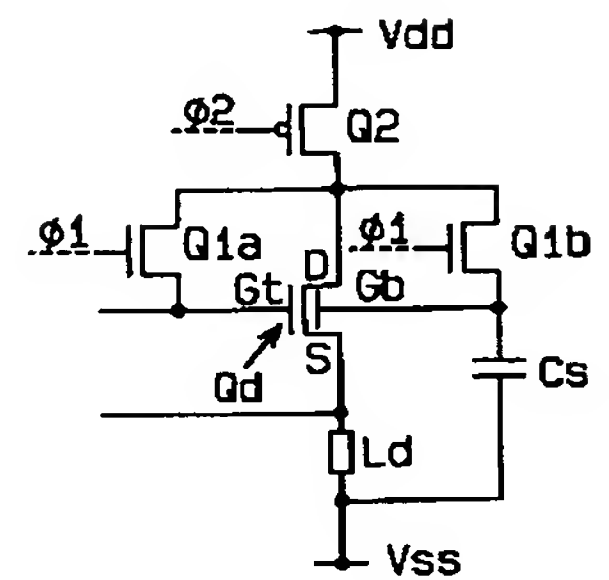
【図11】



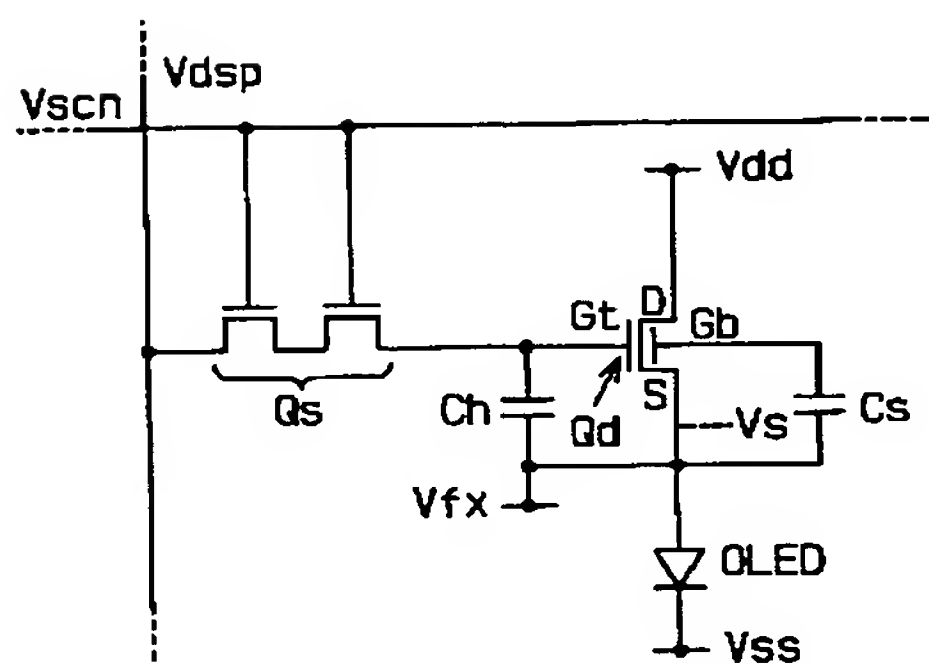
【図13】



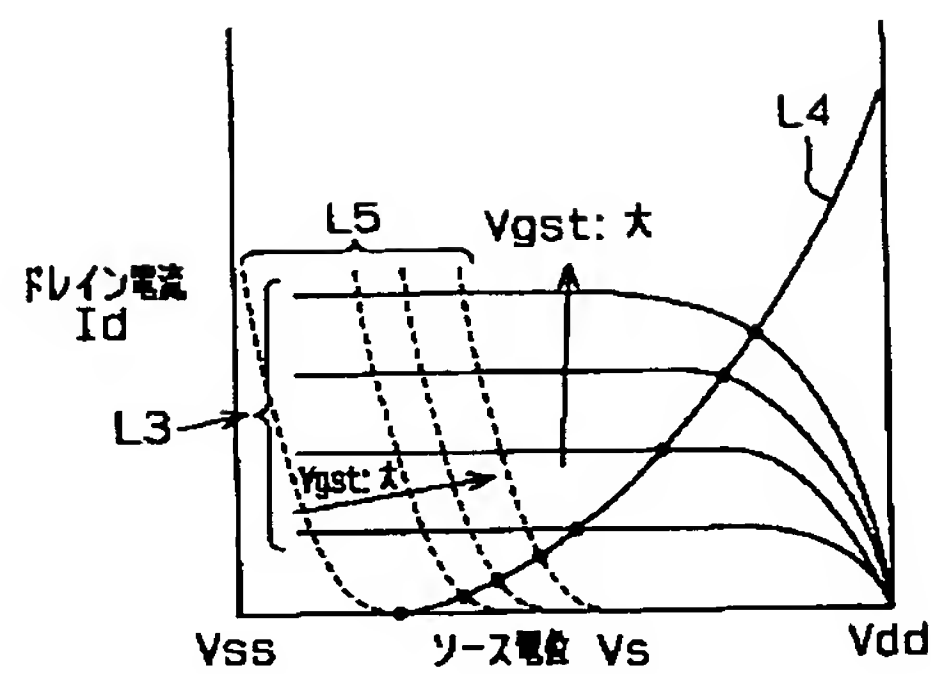
【図19】



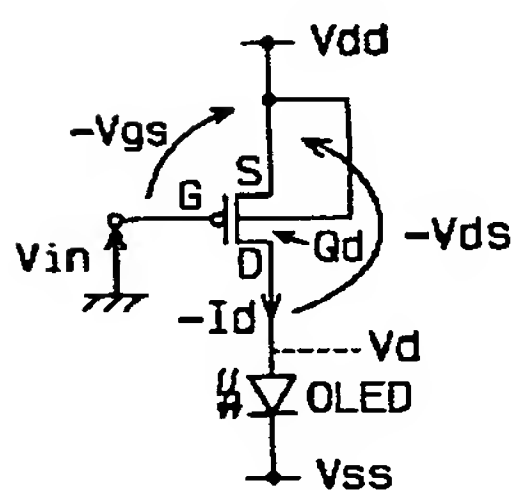
【図14】



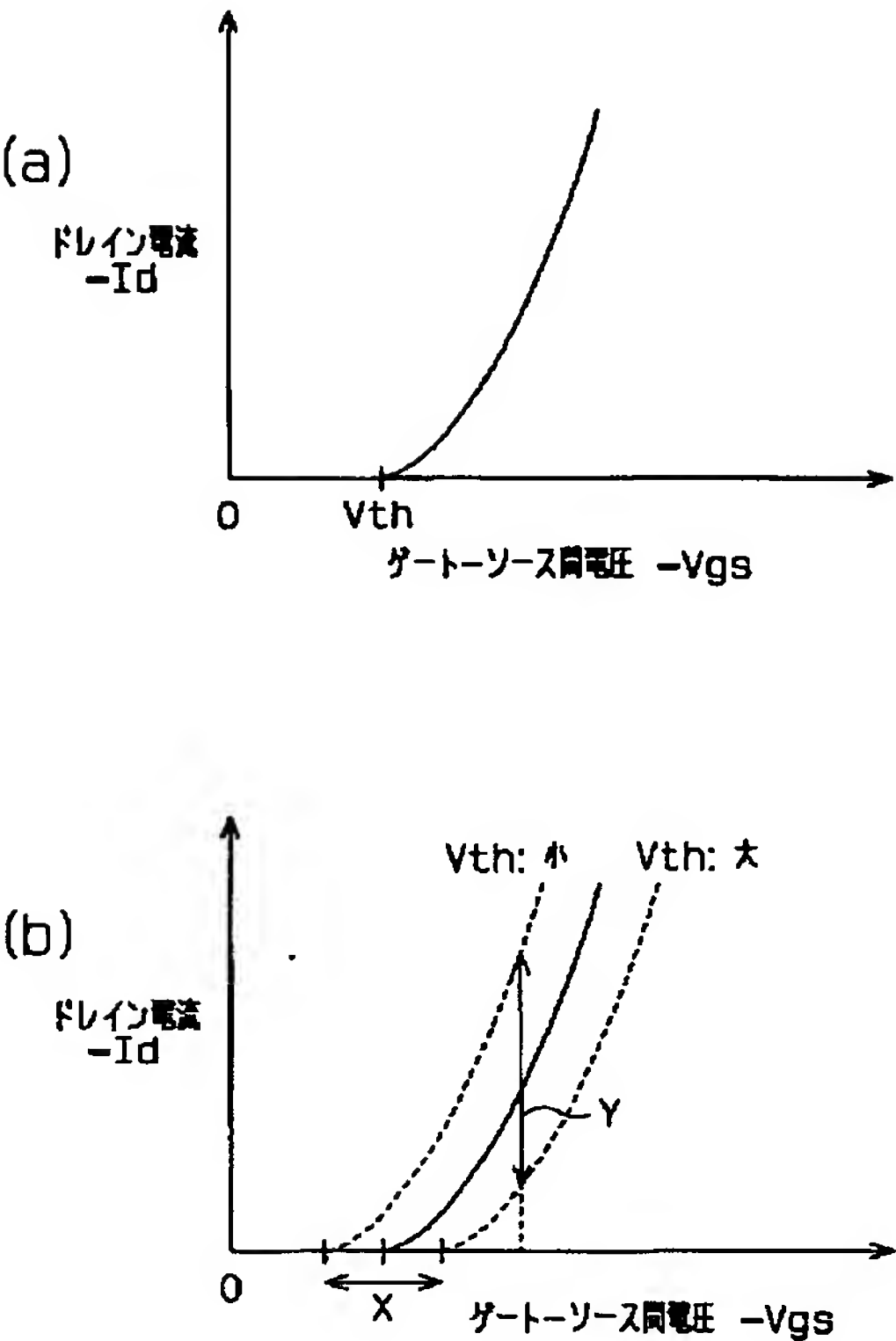
【図16】



【図20】



【図 21】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 3 K 17/30		H 0 3 K 17/30	E
17/693		17/693	C

F ターム (参考)	5C080	AA06	BB05	DD05	EE28	FF11
	JJ02	JJ03	JJ04	JJ05	JJ06	
	5J055	AX48	BX03	BX09	CX29	DX13
		DX14	EX02	EY10	EY14	EY21
		GX01	GX04	GX06	GX07	
	5J091	AA01	CA15	FA16	HA09	HA17
		HA19	HA29	HA39	HA44	KA67
		MA22	QA04	TA01	TA02	TA06
	5J500	AA01	AC15	AF16	AH09	AH17
		AH19	AH29	AH39	AH44	AK67
		AM22	AQ04	AT01	AT02	AT06